

Zeichnungsnummer:	Z50190.001	Blatt: 2	Rev.:	V 1.0
Zeichnungstitel:	Abschlussbericht			Datum: 05.07.23
Bezeichnung:	Penta HiPer			Geändert: 05.07.23
Halbfabrikats/ Fertigergeräte Nr.:				
Firma:	Glück Industrie-Elektronik GmbH			
Kundenartikel Nr./ Bez.:				
Sachbearbeiter:	MF			
Geprüft:	T.S.			

Abschlussbericht

„Forschung und Entwicklung zur Layout-Erstellung und Fertigung der Baugruppen HiPer“

Teilvorhaben innerhalb des Verbundvorhabens
**High Performance Vehicle Computer (HPVC)
and Communication System for Autonomous
Driving (HiPer)**



V1.0

Zeichnungsnummer: Z50190.001; V1.0; Stand 05.07.2023

Alle Rechte vorbehalten. Weitergabe sowie Vervielfältigung dieser Beschreibung, sowie Verwertung und Mitteilung ihres Inhalts ist nicht gestattet, soweit nicht ausdrücklich schriftlich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz.

Copyright Glück Industrie-Elektronik GmbH

Abschlussbericht
Penta HiPer



Änderungshistorie

Datum	Version	Art der Änderung
05.07.23	V1.0	Erste Version

Inhaltsverzeichnis

1	Aufgabenstellung und Voraussetzungen.....	5
1.1	Zusammenfassung	5
1.2	Problembeschreibung.....	5
1.2.1	Pfad „Communication“	5
1.2.2	Pfade „Thermal und Integration“	6
1.3	Internationaler Stand der Wissenschaft und Technik	6
1.4	Ausführliche Beschreibung des Partners.....	7
2	Planung und Ablauf.....	8
2.1	Prinzipielles Vorgehen	8
2.2	Übersicht der zu erforschenden Baugruppen	9
2.2.1	Pfad Communication: Medienkonverter.....	9
2.2.2	Pfad Communication – Communication Demonstrator D(C)	10
2.2.3	Pfade Thermal/Integration – D(TR)+AQU.....	11
3	Vorlagen und Literatur.....	12
3.1	Pfad Communication	12
3.2	Pfad Thermal/Integration	12
4	Zusammenarbeit mit anderen Stellen	13
5	Eingehende Darstellung: Pfad Communication.....	13
5.1	Medienkonverter	13
5.1.1	Konzept	13
5.1.2	Schaltplan.....	15
5.1.3	Konfigurationsplatine	16
5.1.4	Layout.....	18
5.2	D(C)	21
5.2.1	Konzept	21
5.2.2	Platzanalyse	22
5.2.3	Schaltplan.....	23
5.2.4	PCB	25

5.2.5	Fertigung	31
5.2.6	Redesign	34
6	Eingehende Darstellung: Pfad Thermal/Integration	39
6.1	D(TR).....	39
6.1.1	D(TR) Testrouting	39
6.1.2	Schaltplan.....	40
6.1.3	Layout.....	41
6.1.4	Produktion	46
6.1.5	Redesigns.....	49
6.2	AQU.....	54
6.2.1	Konzept	54
6.2.2	Schaltplan.....	55
6.2.3	PCB	56
6.3	Software	59
6.4	Ergebnisse.....	62
6.5	Integration.....	68

1 Aufgabenstellung und Voraussetzungen

1.1 Zusammenfassung

Aufgabe der Glück Industrie-Elektronik im Rahmen von HiPer gemäß Projektvereinbarung ist es, alle im Projektverlauf nötigen Baugruppen zu layouten und zu fertigen. Dies beinhaltet zunächst die beiden Demonstratoren Kommunikation D(C) und Thermik D(TR), aber auch andere Hardware, die zum Betrieb der Demonstratoren nötig oder hilfreich ist. Dies geschieht nach Vorlage von Schaltplänen und Anforderungen durch Projektpartner und in enger Absprache mit diesen.

Zusätzliche Aufgaben, die aus projekttechnischen Gründen anfallen oder im Rahmen der Entwicklung sinnvoll sind, übernimmt die Glück Industrie-Elektronik ebenfalls. Dazu zählen Hilfestellung bei oder falls nötig selbständige Entwicklung oder Weiterentwicklung von Schaltplänen, Inbetriebnahme und grundlegende Charakterisierung der entwickelten Hardware, Hilfestellung bei der Integration, Entwicklung einfacher Software.

Die Arbeit an jeder Baugruppe bzw. jedem System unterteilen wir in mehrere, iterativ entwickelte Musterstände. Dabei besteht immer die Möglichkeit, einen Stand als endgültig zu akzeptieren, falls die Funktionalität und Qualität des Musterstandes ausreichend ist. Durch begrenzte Kapazitäten für Entwicklung, Inbetriebnahme und Test sowie begrenzte Verfügbarkeit von Bauteilen ist auch die Zahl der Musterstände begrenzt.

Deshalb und in Anbetracht der hohen Komplexität und des stark experimentellen Charakters der Hardware konzentriert sich die Entwicklung auf die Darstellung der Funktionalität. Qualifizierungsmaßnahmen wie Umwelt-, EMV-, Dauertests und fertigungsgerechter Aufbau werden nicht durchgeführt, wobei diesbezügliche Design-Richtlinien und Vorgaben der Projektpartner (etwa Einbau der Demonstratoren in EMV-gerechtes Gehäuse) trotzdem berücksichtigt werden.

1.2 Problembeschreibung

Autonomes Fahren gilt als wichtige Zukunftstechnologie des 21. Jahrhunderts und wird mit Hochdruck von verschiedenen Akteuren in Deutschland und international entwickelt. Dabei wurde früh klar, dass hohe Automatisierungsgrade ein Maß an Verarbeitungsfähigkeit und Datenübertragung innerhalb des Fahrzeugs erfordern, die in Serienfahrzeugen bisher unerreicht sind. Die harschen Bedingungen in einem Fahrzeug (Temperaturschwankungen, Vibrationen, elektrische Felder gerade in Elektrofahrzeugen) und die besonderen Sicherheits- und Zuverlässigkeitsanforderungen stellen die kostengünstige Realisierung vor hohe Herausforderungen. Mehrere dieser Herausforderungen sollten im Rahmen von HiPer erforscht und mögliche Lösungsansätze erarbeitet werden.

1.2.1 Pfad „Communication“

Im Rahmen des Pads „Communication“ sollten neue Komponenten wie Ethernet-Chipsets, Stecker- und Verkabelungskonzept sowie neue Kommunikationsprotokolle entwickelt bzw. getestet werden. Dazu sollten diese Komponenten und Konzepte in dem sogenannten Communication Demonstrator D(C) mit einem Signalverarbeitungsprozessor sowie

verschiedenen Legacy-Technologien (100Base-T1, 1000Base-T, 1000Base-T1, CAN) kombiniert werden. Außerdem soll ein Medienkonverter gebaut werden, der eine Schnittstelle zwischen der High Speed Ethernet Verbindung des D(C) und einer SFP-Buchse bereitstellt. Die Herausforderung für Glück besteht hierbei größtenteils in der Implementierung der Multi Gig Ethernet Schnittstelle und der Integration der Komponenten in einem möglichst geringen Formfaktor. Hierbei kann zurückgegriffen werden auf Design Guidelines und Referenzdesigns der Hersteller der Komponenten. Anforderungen der verschiedenen Komponenten bzgl. Platz, Layer Stack, Spannungsversorgung, Routing zu anderen Komponenten müssen ermittelt und kombiniert werden, um die Rahmenbedingungen für das Gesamtsystem zu bestimmen. Platzierung und Layout müssen angepasst werden an ein auf Basis dieser Untersuchungen gewähltes Gehäuse, mit dadurch festgelegtem Formfaktor und Anforderungen bzgl. EMV-Schirmung und Kühlkonzept.

1.2.2 Pfade „Thermal und Integration“

Im Rahmen der Pfade Thermal und Integration sollten neue Konzepte zur Prozessorkühlung und die Robustheit des Gesamtsystems, besonders aber der Lötverbindungen zwischen PCB, Interposer und Die untersucht werden. Dazu wird von Projektpartnern ein besonderer Test-Chip, die sogenannte Power-SiP entwickelt, der Heizelemente, Sensoren für Temperatur und mechanischen Stress, Testballs und –bumps sowie Daisy Chains beinhaltet. Die Power-SiP bildet in Formfaktor und Leistungsaufnahme den Nvidia-Pegasus-Chip nach, und ist mit einem Interposer verlötet und durch Underfill verbunden. Die Power-SiP wird auf den Thermal Demonstrator D(TR) aufgebracht und von diesem angesteuert. Zu den Aufgaben des D(TR) zählen dabei das Liefern der Heizströme, Liefern von Messströmen für Temperatur und mechanischen Stress, Liefern von Pulsströmen zur Vermessung von Testballs und –bumps sowie entsprechenden Daisy Chains, Abführen der Messsignale. Die Vielzahl der einzelnen Strukturen wird angesteuert durch Multiplexer auf dem D(TR). Da der Platz auf dem D(TR) begrenzt ist, und der D(TR) für Zwecke des Temperature Cycling hohen Temperaturen ausgesetzt wird, wird die tatsächliche Generierung und Auswertung der Signale auf einem eigenen Board, der Acquisition Unit AQU durchgeführt. Diese ist über Kabel mit dem D(TR) verbunden. Die Ansteuerung und das Auslesen dieser Vielzahl von Strukturen, die auf sehr engem Raum konzentriert sind, stellt dabei hohe Anforderungen an die Strukturdichte des PCB. Zusätzlich soll für das Verlöten der Power-Sip optional Niedrigtemperatur-Lötzinn verwendet werden, welches einen anderen Lötprozess als normales SAC erfordert.

1.3 Internationaler Stand der Wissenschaft und Technik

Grundsätzlich liegen alle benötigten Technologien für die Umsetzung der Glück zugewiesenen Projektaufgaben vor. Die im Rahmen des Pfads Kommunikation erforderlichen PCB-Designrichtlinien für Frequenzen bis 10Ghz sind Stand der Technik und durch die Hersteller der entsprechenden Komponenten in Referenzdesigns dargelegt und validiert. Die entsprechenden Design-Guidelines und Referenzdesigns wurden Glück im Rahmen des Projekts von den Projektpartnern zur Verfügung gestellt.

Das Fanout des sehr komplexen BGA ist die hauptsächliche Herausforderung im Rahmen des Thermal Path. Hierzu wurde auf Basis von Referenzdesigns eine PCB-Technologie mit Strukturgröße 100um und 10-14 Lagen veranschlagt, welche von vielen PCB-Herstellern kostengünstig und kurzfristig geliefert werden kann.

1.4 Ausführliche Beschreibung des Partners

Die Glück Industrie-Elektronik GmbH mit Sitz in Neckartailfingen nahe Stuttgart ist ein mittelständischer EMS-Dienstleister, der die gesamte Kette der Entwicklungs- und Fertigungstätigkeiten eines elektronischen Produkts von der Idee bis zur Serienproduktion abdeckt. Dazu zählen

- Konzeptstudien zur Realisierungsmöglichkeit
- Requirement-Engineering
- Schaltungsentwicklung nach Kundenspezifikation, CAD Schaltplanerstellung
- IPC-, EMV-, und fertigungsgerechtes Layout-Design mit Altium Designer
- CAD-3D Konstruktion in Zusammenhang mit der Flachbaugruppe
- SW-Entwicklung sowohl hardwarenah (embedded) als auch auf Linux Systemen sowie für Smartphone-Apps
- FPGA-Design (VHDL)
- Bestückung und Montage von elektronischen Baugruppen
- Inbetriebnahme, Test, Verifikation und Integration von Baugruppen, Dokumentationen, Qualifizierungsmaßnahmen
- Entwicklung von Testspezifikationen und Serientestadaptern, Durchführung von EOL-Tests

Die Glück Industrie-Elektronik bedient Kunden aus so unterschiedlichen Feldern wie Industrieautomation, Mess- und Regeltechnik, Automotive und Consumer. Mit langjähriger Erfahrung in der Entwicklung unterschiedlichster Baugruppen und einem hochmodernen Maschinenpark zur Bestückung von Leiterkarten bietet sich die Glück Industrie-Elektronik als Partner für die Entwicklung und Fertigung jeglicher elektronischer Baugruppen an. Durch das flexible, erfahrene Entwicklerteam und die enge Verzahnung mit der Fertigung ist eine schnelle Umsetzung von Konzepten zur funktionsfähigen Baugruppe und eine flexible Reaktion auf kurzfristige Änderungen der Anforderungen möglich.

2 Planung und Ablauf

2.1 *Prinzipielles Vorgehen*

Aufgabe von Glück ist Layout und Produktion aller nötigen elektronischen Baugruppen im Rahmen des Projekts. Konzept und Schaltpläne werden dabei von Projektpartnern entwickelt, wobei Glück aber die Entwicklung begleitet und Hilfestellung leistet.

Dabei ist die Vorgehensweise je nach Baugruppe und Pfad unterschiedlich. Im Rahmen des Pfads Kommunikation gibt es nur zwei Baugruppen, Medienkonverter und D(C), die lediglich durch eine einzige Ethernet-Schnittstelle verbunden sind. Die Baugruppen können daher unabhängig voneinander und zeitlich getrennt entwickelt und gebaut werden.

Im Rahmen des Pfads Thermal sind die Baugruppen Thermal Demonstrator D(TR) und Acquisition Unit AQU zu entwickeln. Die beiden Baugruppen bilden eine funktionale Einheit, wobei die genaue Aufteilung der Funktionen und die Realisierung der sehr komplexen Schnittstelle zwischen den Baugruppen zu Projektbeginn nicht klar war und eine Änderung aufgrund von Testergebnissen während des Projekts nicht ausgeschlossen werden konnte. Der Thermal Path bildet daher auch designtechnisch eine Einheit, wobei beide Baugruppen parallel entwickelt werden müssen und einer neuer Musterstand einer Baugruppe auch ein Redesign der anderen Baugruppe erfordern kann.

Davon abgesehen ist die Vorgehensweise prinzipiell gleich. Auf Basis von Anforderungen durch die Projektpartner und wo vorhanden Referenzdesigns wird zunächst der Schaltplan gezeichnet und abgestimmt. Ebenso müssen der äußere Formfaktor bestimmt werden und mechanische Anforderungen festgelegt werden. Glück betreut dabei die Entwicklung, prüft in sinnvollen Fällen die Validität des Designs und bringt Vorschläge für Verbesserungen oder optionale Funktionen ein, wobei die endgültige Entscheidung aber bei den Projektpartnern liegt. Danach kann das Layout durch Glück entworfen werden, wobei die Projektpartner wiederum beratend agieren. Die Baugruppe wird durch Glück gebaut und an den Projektpartner Bosch ausgeliefert. Verifikation, Typetests und ähnliche Entwicklungsschritte werden bei Bosch durchgeführt, ebenso Entscheidung über Verbesserungen und Änderungen. Der folgende Musterstand wird wieder in derselben Weise entwickelt, wobei der Großteil des Designs übernommen werden kann. Wo es Kapazitätsprobleme bei den Partnern gibt greift Glück soweit möglich flexibel unterstützend ein. Dies kann sich beziehen auf Konzept und Schaltplan, Inbetriebnahme, Verifikation, Software, soll jedoch nach Möglichkeit vermieden werden.

2.2 *Übersicht der zu erforschenden Baugruppen*

2.2.1 Pfad Communication: Medienkonverter

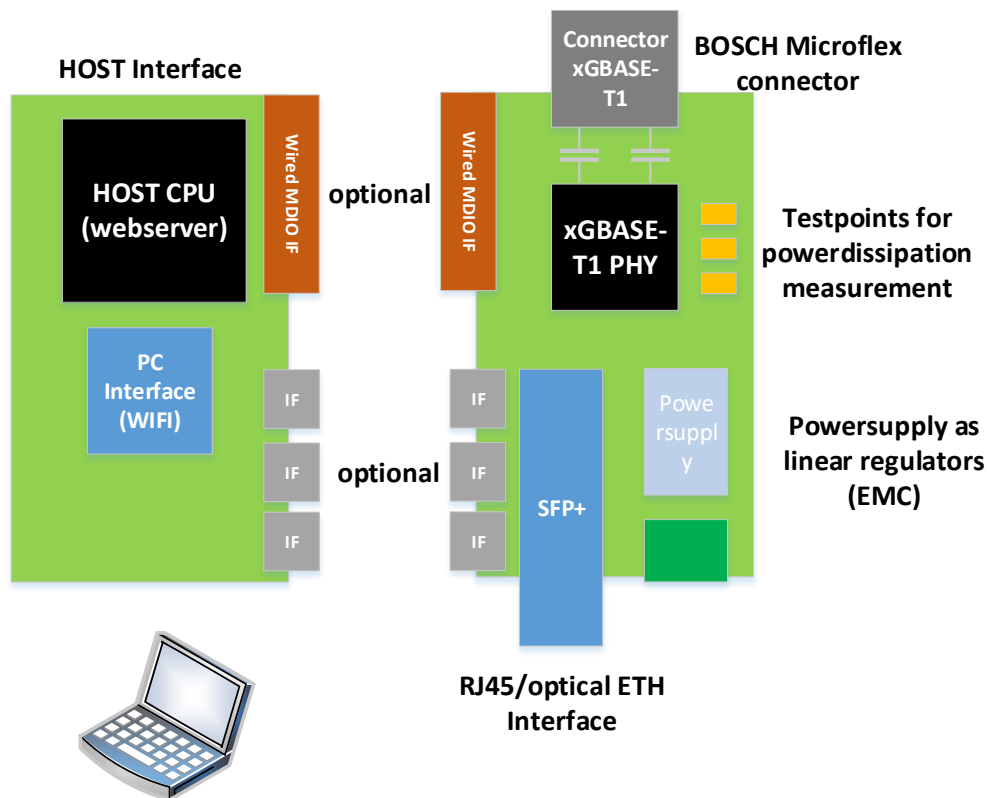


Abbildung 1: Systemkonzept Medienkonverter

2.2.2

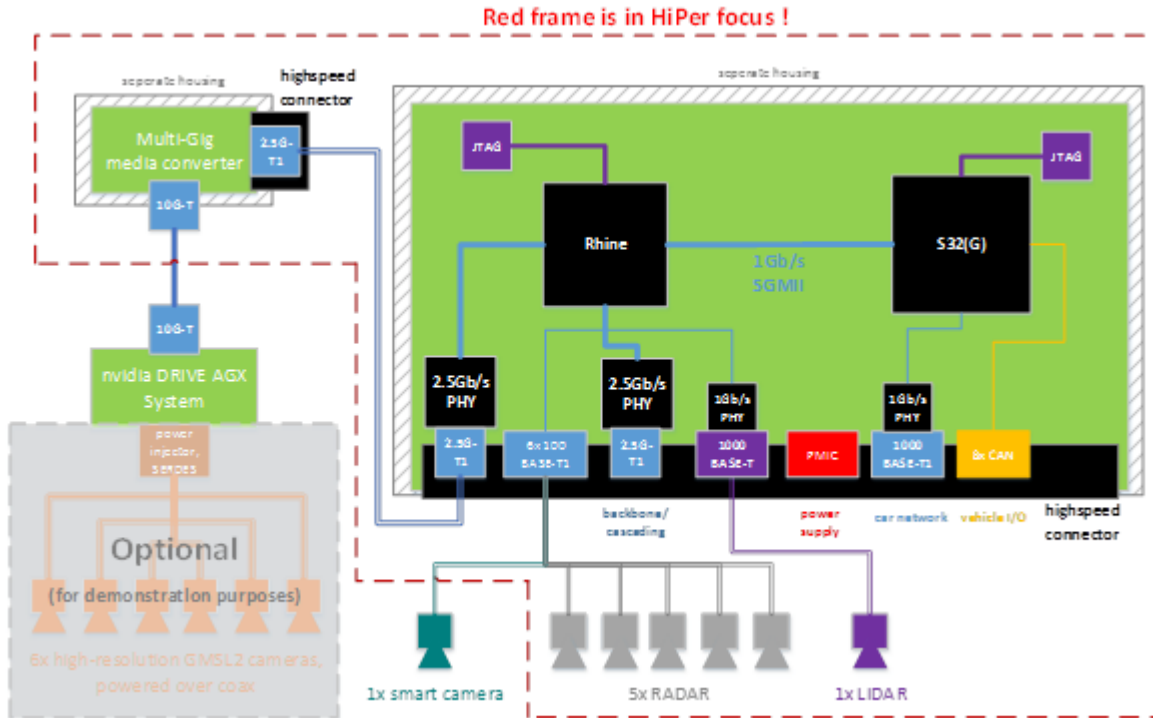


Abbildung 2: Systemkonzept D(C) mit Medienkonverter

2.2.3 Pfade Thermal/Integration – D(TR)+AQU

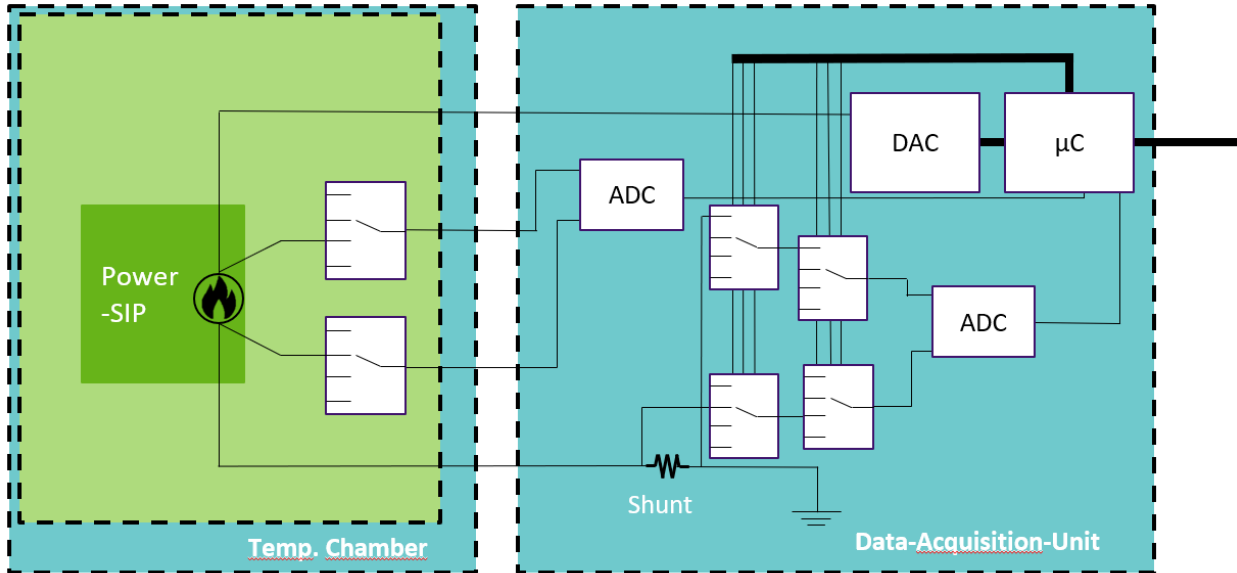


Abbildung 3: D(TR) + AQU, Systemkonzept Heizung

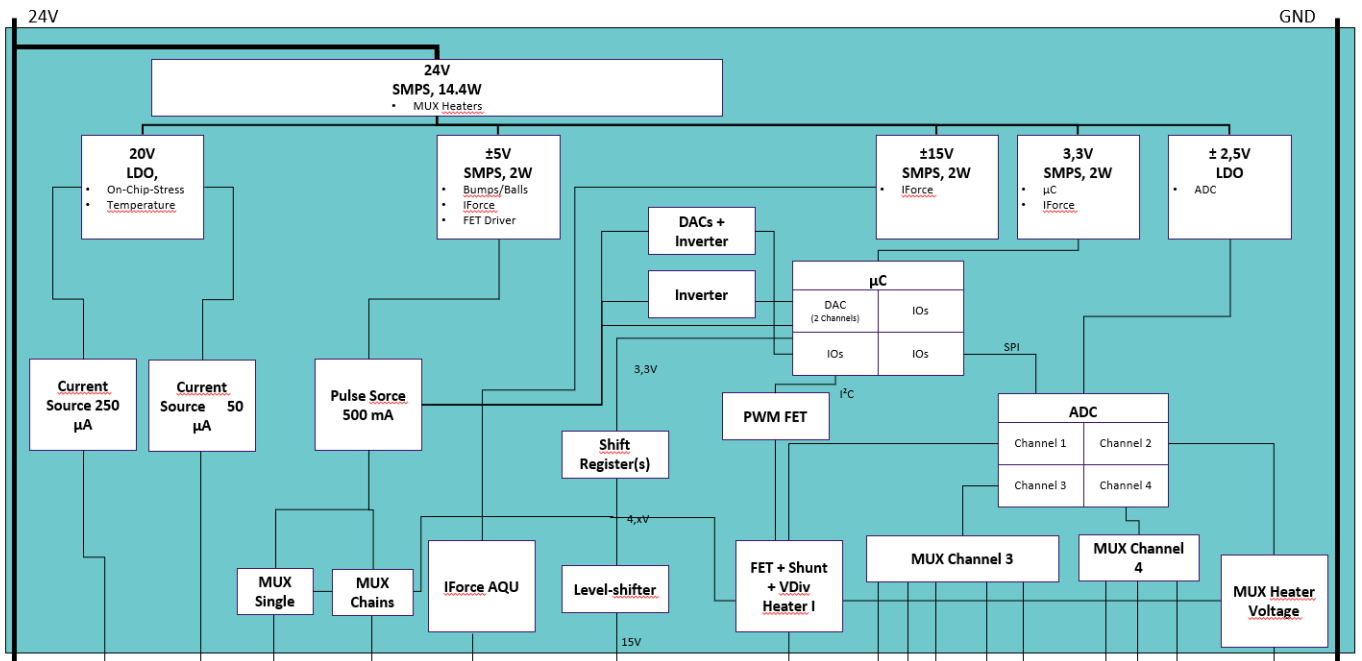


Abbildung 4: AQU Systemkonzept (frühes Stadium)

3 Vorlagen und Literatur

3.1 Pfad Communication

Im Rahmen des Pfads Communication griff die Glück Industrie-Elektronik auf vielfältige bestehende Referenzdesigns und Design-Guidelines zurück, um die entsprechenden Funktionen im Rahmen der HiPer-Baugruppen umzusetzen. Es wurden folgende Dokumente verwendet:

- Design Guide "AN-A1401_HWDesignGuide" von Aquantia
- "Application Note 04 Optical Isolator for I2C Bus System" von Vishay
- "S32G274A Hardware Design Guide" von NXP
- "AH1806 PCB Design Guide" von NXP
- "SJA1110 Hardware Application Hints" von NXP
- Design Guide "Hardware and Layout Design Considerations for DDR4 SDRAM Memory Interfaces" von NXP
- "Pulse_Layout Considerations v7" von Yageo
- "OctaFlash Memory PCB Layout Guide" von Macronix
- "MV-S302857-00A-88Q2110_88Q2112-1000BASE-T1-100BASE-T1-PCB-Design-and-Layout-Guide-Application-Notes-Doc-Rev-A" von Marvell

Folgende bestehenden Designs wurden für das Projekt ausgewertet:

- Referenzdesign „Media Converter AQV107 Single“ von Aquantia
- Referenzdesign „Zambezi : AQrate single Port Reference Design “ von Aquantia
- Referenzdesign "S32G-PROCEVB-S" von NXP
- Referenzdesign "VR5510 Applications EVB" von NXP
- Referenzdesign „X-SJA1110-EVM“ von NXP
- Bestehende Baugruppe "Bosch-MC17-Phy-Module" von der Glück Engineering GmbH
- Während des Projekts im Auftrag von Bosch entstandene Baugruppe „Multi-Gig Medienkonverter“ von der Glück Engineering GmbH

3.2 Pfad Thermal/Integration

Im Rahmen der Pfade Thermal/Integration griff die Glück Industrie-Elektronik auf das Board „IForce Acquisition Unit AU2“ des Projektpartners Bosch zurück. Dieses war unabhängig von HiPer entwickelt worden und bei Bosch in Betrieb. Der Schaltplan dieses Boards wurde vollständig in die erste Version der HiPer-AQU von Glück übernommen. Ansonsten waren D(TR) und AQU vollständige Neuentwicklungen im Rahmen von HiPer.

4 Zusammenarbeit mit anderen Stellen

Wie erwähnt bezieht sich die Aufgabe der Glück Industrie-Elektronik primär darauf, Vorlagen bzgl. Konzept und Schaltplan des Projektpartners Bosch umzusetzen. Daher geschah die gesamte Designarbeit in enger Kooperation mit Bosch. Darüber hinaus bot Glück Unterstützung bei der Inbetriebnahme der Hardware für den Thermal-Pfad, sowohl testweise als auch für den eigentlichen Betrieb im Rahmen der Forschungsarbeiten bei Bosch.

Ebenfalls im Rahmen des Pfads Thermal griff die Glück Industrie-Elektronik auf die Projektpartner Boschman und Interflux zurück, die mit ihrer Expertise bzgl. Diagnose von Lötverbindungen (Röntgenbild-Darstellung, zerstörende Untersuchung) bei der Verbesserung des Lötprozesses mitwirkten.

5 Eingehende Darstellung: Pfad Communication

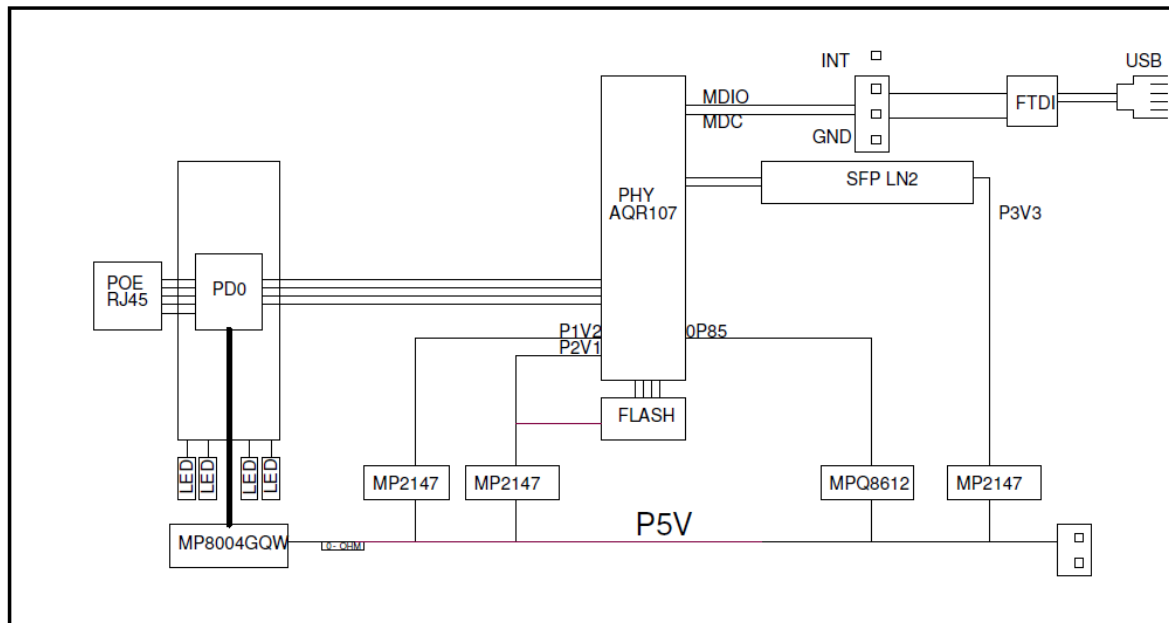
5.1 Medienkonverter

5.1.1 Konzept

Um Erfahrung mit der verwendeten Ethernet-Technologie (zunächst 2,5G) zu gewinnen und die vorgegebenen Design Rules zu verifizieren, wurde im Rahmen von WP2 ein Medienkonverter auf Basis des 2,5G-10G PHY Aquantia AQV107 entwickelt und gebaut. Dieser soll als Schnittstelle zwischen 2,5G Ethernet und einem SFP+ Cage fungieren. Als Vorbild dienten zwei Medienkonverter von Aquantia, „Zambezi : AQrate single Port Reference Design“ und „Media Converter AQV107 Single“.

MEDIA_CONVERTER Design Block Diagram

BLOCK DIAGRAM



MEDIA CONVERTER

Abbildung 5: Blockdiagramm des Aquantia Media Converter AQR107 Single

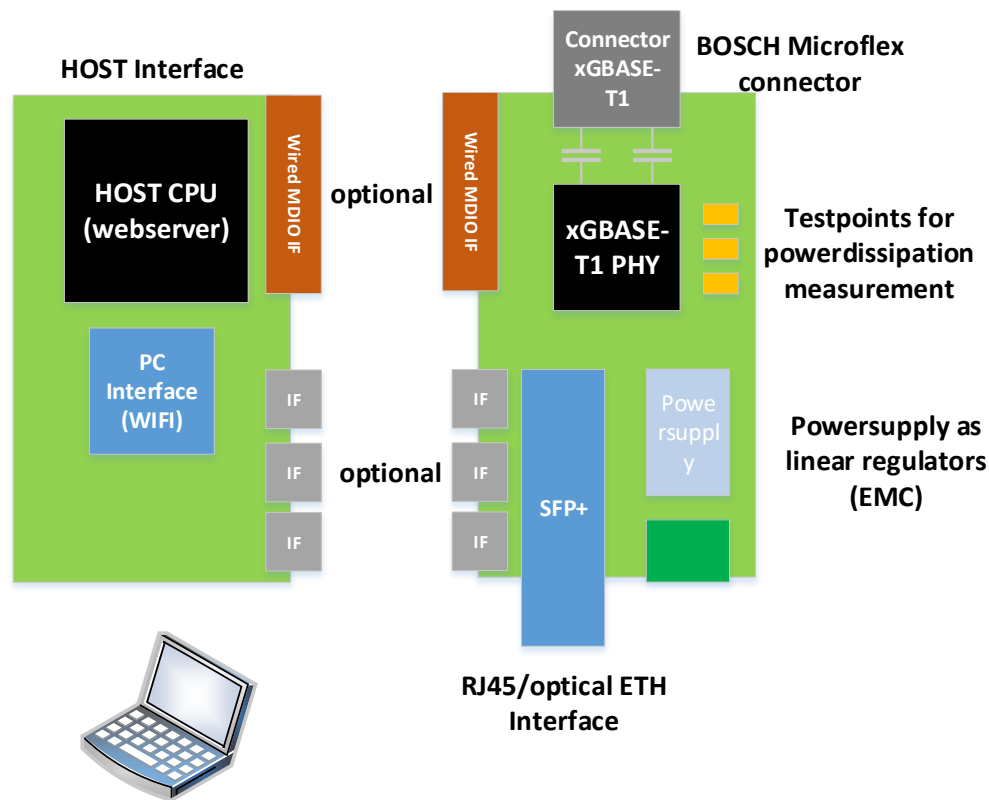


Abbildung 6: Systemkonzept Medienkonverter

5.1.2 Schaltplan

Der Schaltplan lehnt sich weitgehend an den „Media Converter AQV107 Single“ an, jedoch wurde der Ethernet Stecker Rosenberger E6S201-40MT5-Y ersetzt durch den Bosch Mikroflex Stecker 0 261 D17 356-01. Es wird nur ein Pair verwendet, d.h. es kann maximal 2,5Gbit Ethernet betrieben werden. Außerdem wurden in Abstimmung mit dem Projektpartner Bosch Modifikationen Schnittstellen geschaffen, um die On Board Spannungsversorgung durch Linearregler ersetzen zu können. Dadurch können die im Normalfall verwendeten Schaltregler als Quelle von Störungen eliminiert werden und von Bosch geplante Forschungen zur EMV durchgeführt werden. Zu demselben Zweck wurde ein optisches Interface für das PHY-Management entwickelt.

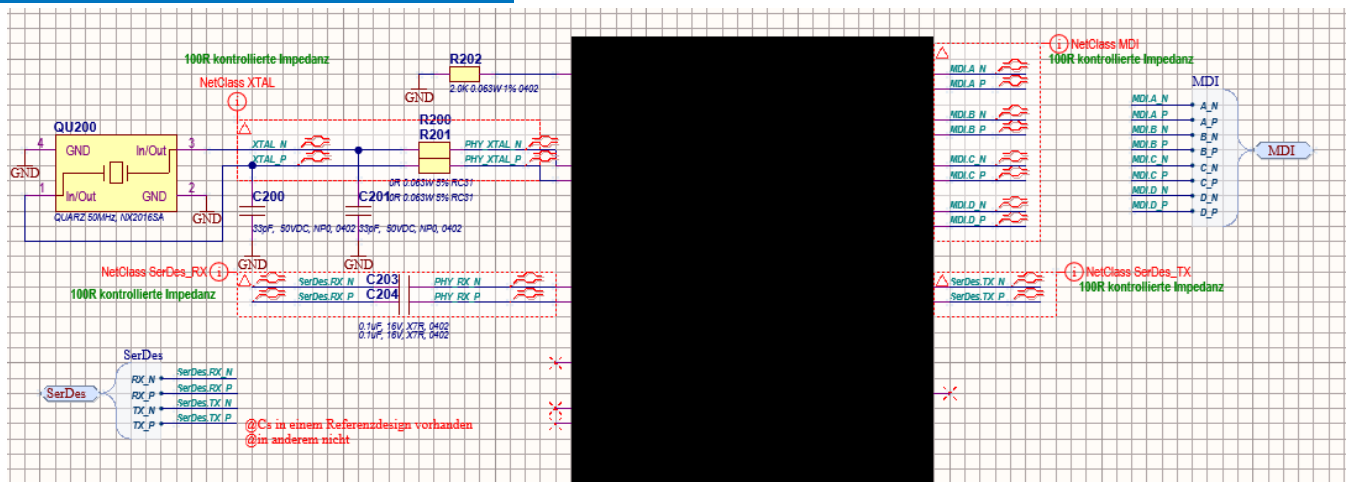


Abbildung 7: Schaltplan Medienkonverter, MDI+Serdes+Clock

Das optische Interface basiert auf den Bausteinen Broadcom HFBR-2412Z (Empfänger) und HFBR-1414Z (Sender) und wirkt auf die MDIO-Schnittstelle bzw. optional auch auf die I2C-Schnittstelle des PHY. Die Topologie ist angelehnt an eine Application Note von Vishay für die optische Isolation eines I2C-Bus.

EXAMPLE CIRCUIT

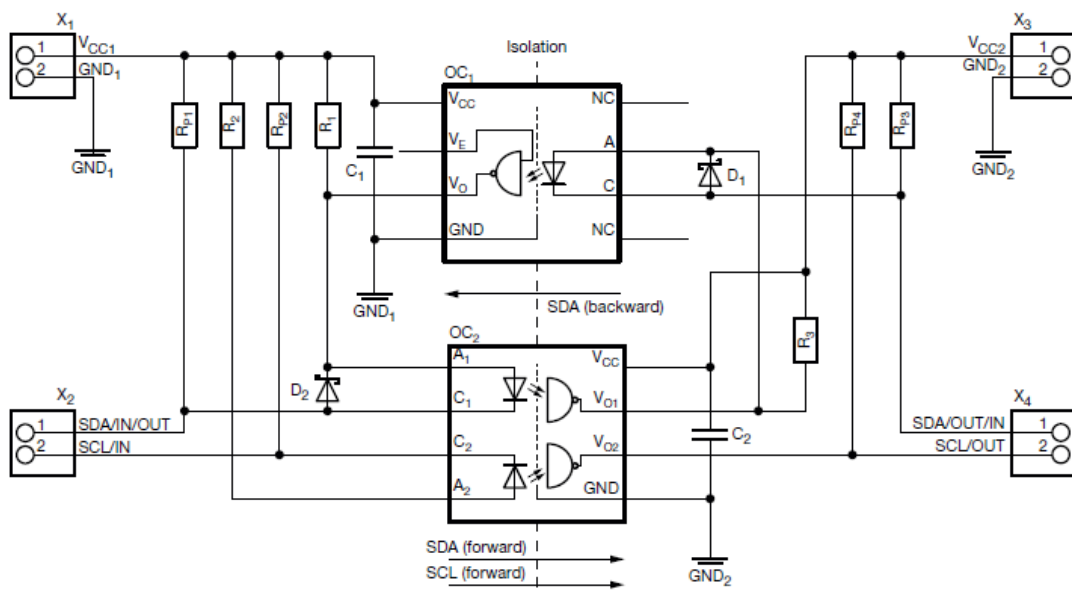


Fig. 4 - Example Schematic for Optical I2C Isolator

Abbildung 8: Application Note für optischen I2C-Isolator on Vishay

5.1.3 Konfigurationsplatine

Als Gegenstück wurde eine Konfigurationsplatine entworfen, auf die ein Mikrokontroller-Modul ESP32 aufgesteckt werden kann.

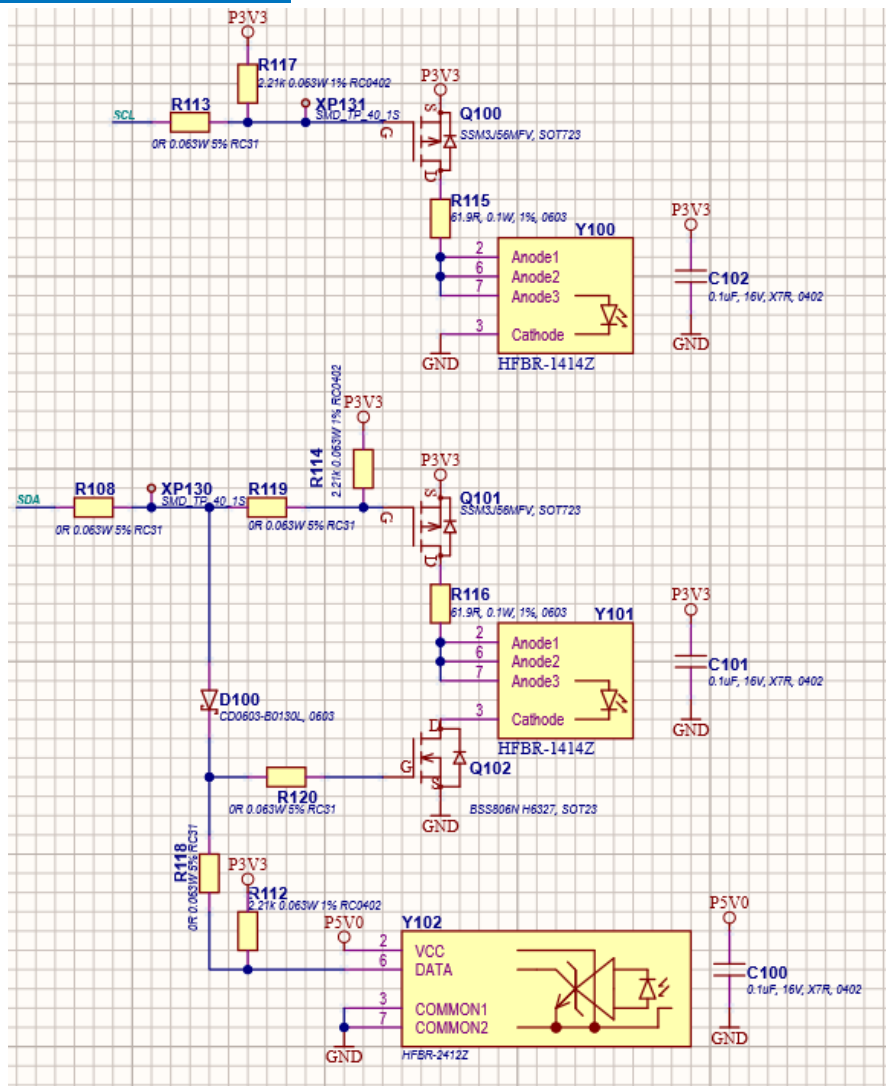
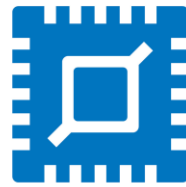


Abbildung 9: Schaltplan des optischen I2C-Interface, Configplatine

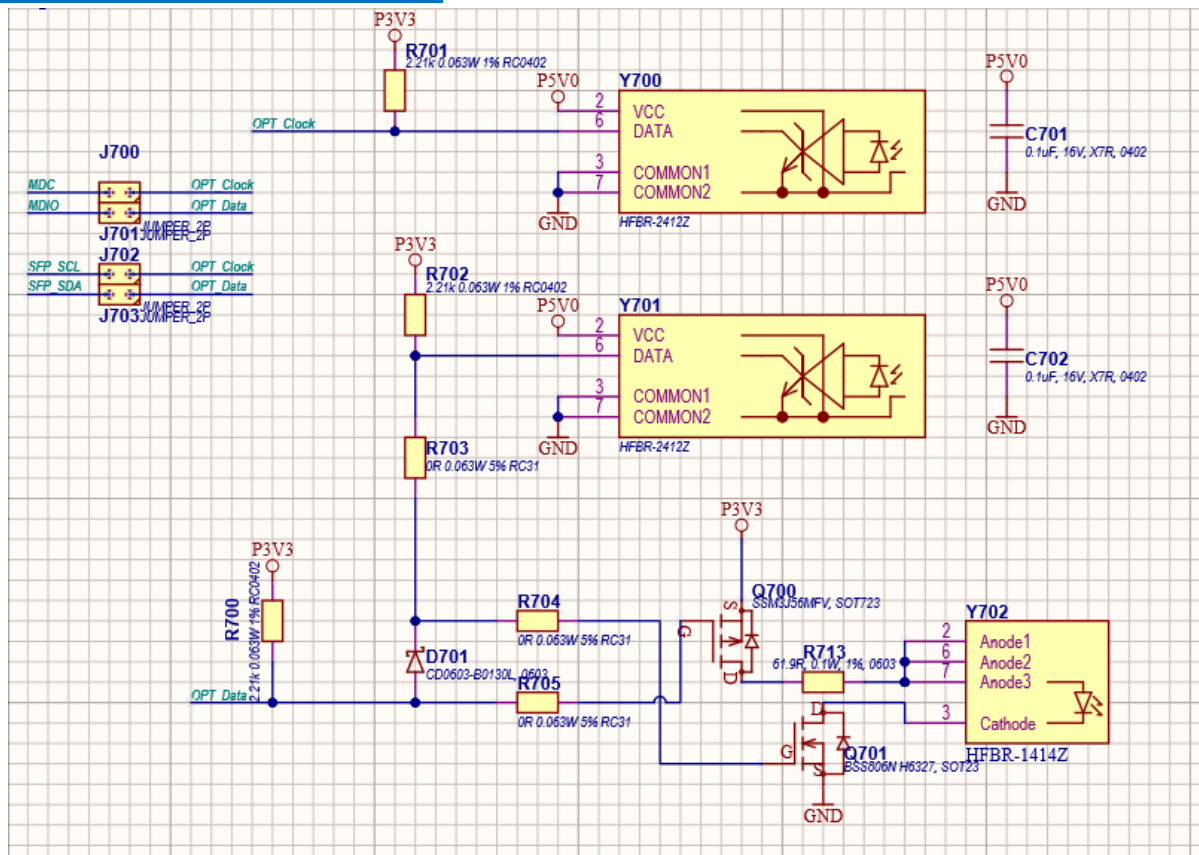


Abbildung 10: Schaltplan des optischen I2C-Interface, Medienkonverter

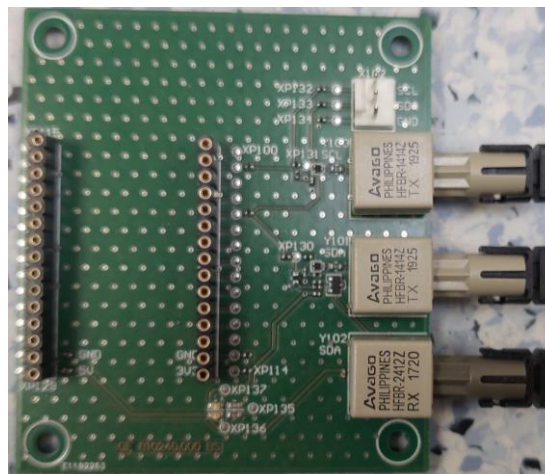


Abbildung 11: Medienkonverter-Configplatine, ESP32-Modul nicht eingesteckt

5.1.4 Layout

Zum Layout des Medienkonverters wurde auf Design-Richtlinien aus dem Aquantia Hardware Design Guide sowie wiederum auf das Layout des Referenzdesigns zurückgegriffen.

Nach Fertigstellung des Designs wurden von Medienkonverter und Konfigurationsplatine jeweils 3 Stück gebaut. Bei der Inbetriebnahme wurde bei Glück lediglich die Funktionsfähigkeit der Spannungsversorgung des Medienkonverters getestet. Der Rest der Inbetriebnahme wurde beim Projektpartner Bosch durchgeführt. Dabei wurde festgestellt, dass bis auf das optische Interface alle Funktionen des Medienkonverters erfolgreich betrieben werden können. Bei dem optischen Interface kommt es zu einer Oszillation zwischen Medienkonverter und Konfigurationsplatine. Der Grund dafür wurde zusammen mit Bosch theoretisch ermittelt und Ansätze für eine verbesserte Schaltung erarbeitet. Aus Zeitgründen wurde das Thema jedoch nicht weiter verfolgt.

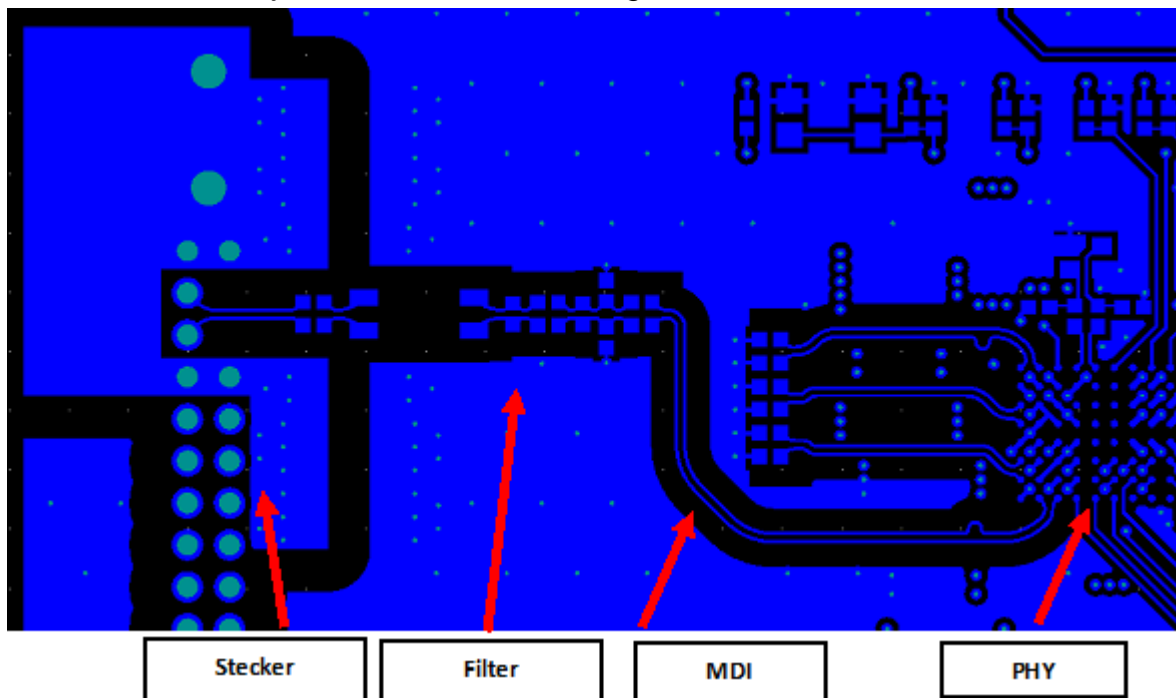


Abbildung 12: Layout Medienkonverter, Oberseite, MDI zwischen PHY und Stecker

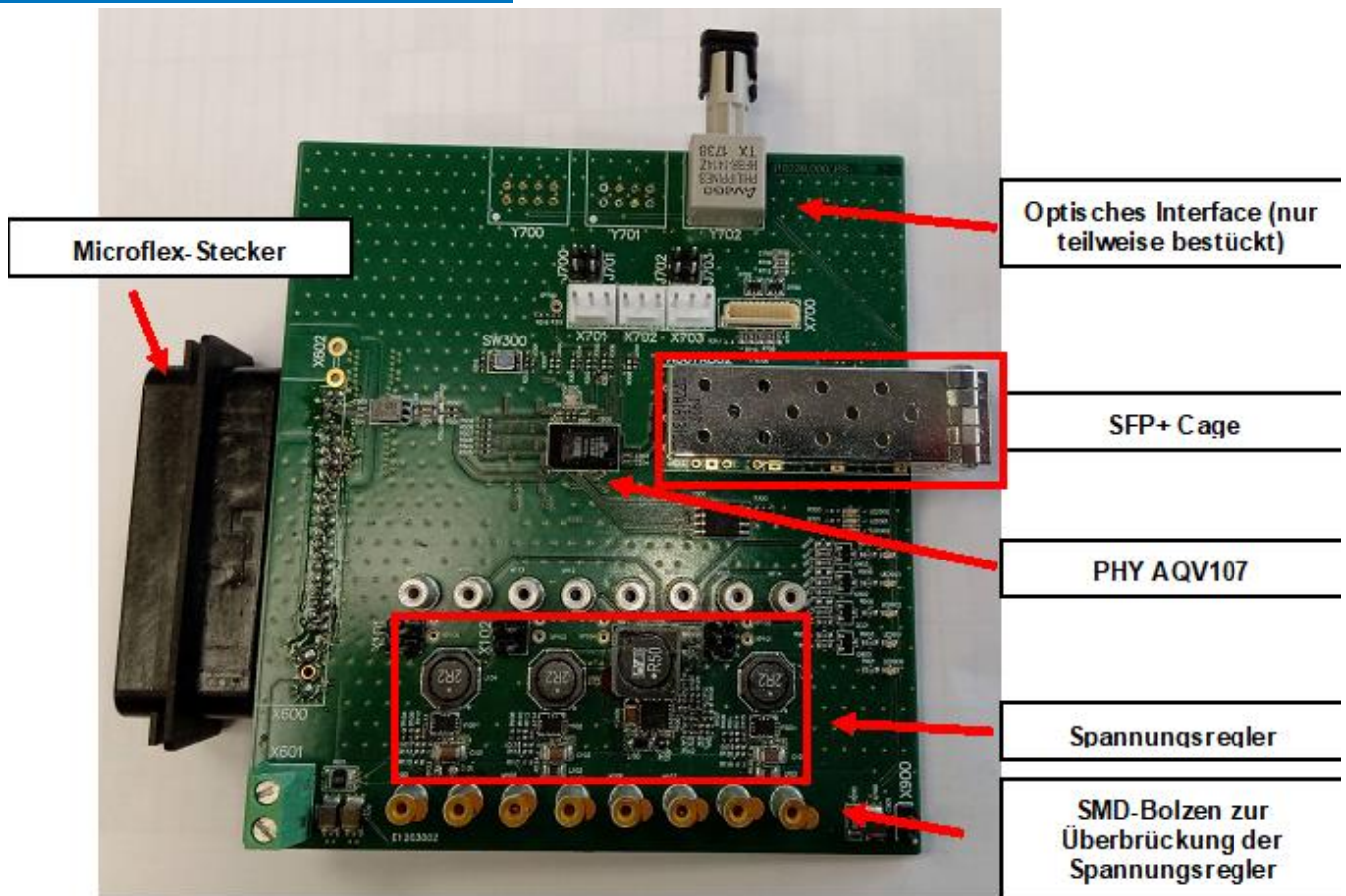


Abbildung 13: Medienkonverter

5.2 D(C)

5.2.1 Konzept

Der HiPer Communication Demonstrator D(C) beinhaltet einen Prozessor sowie verschiedene Kommunikationsschnittstellen, die alle über einen einzigen Mikroflex-Stecker nach außen geführt werden. Das sind im Einzelnen:

- 1 NXP S32G275A Prozessor
- 1 NXP SJA1110 Switch
- 2 Marvell AQV109bzw. AQV107 2.5G Ethernet PHYs
- 1 Marvell 1000Base-T PHY 88EA1512
- 1 Marvell 1000BASE-T1 PHY 88Q2110
- 8 NXP TJA1059 CAN-Transceiver
- JTAG Debug Stecker
- ESD-Schutz und Filter für ETH und CAN
- Spannungsversorgung für alle Komponenten
- 1 Bosch Mikroflex Connector 1034486635

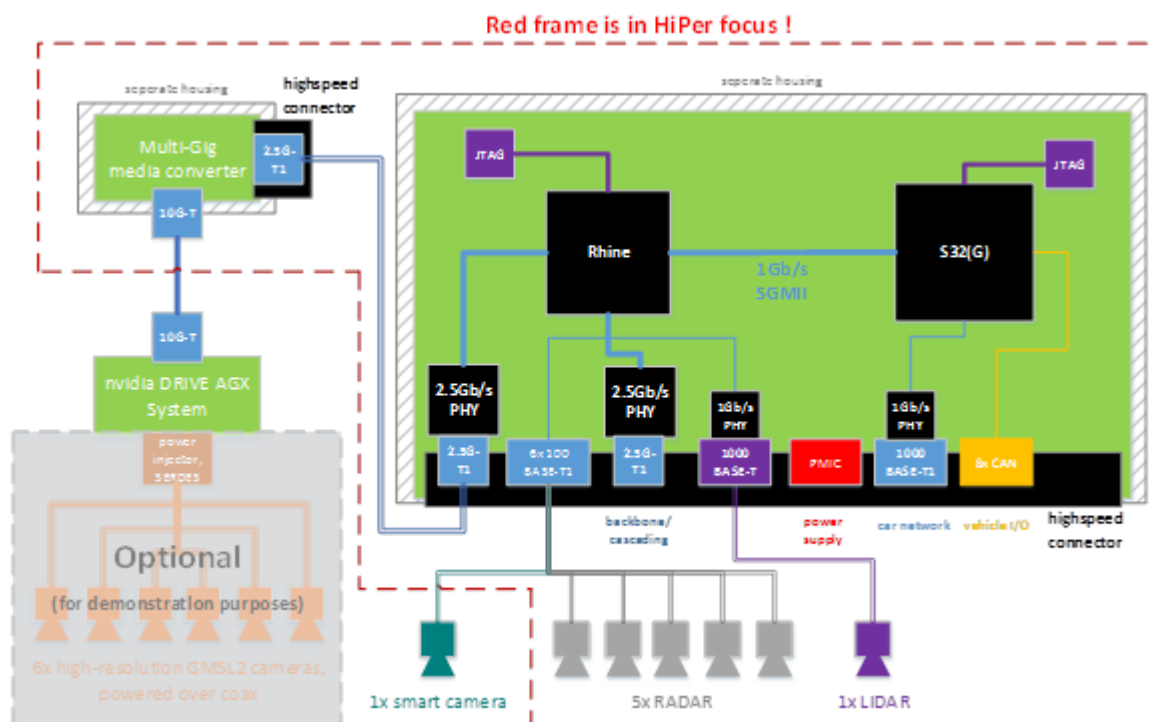


Abbildung 14: Systemkonzept D(C) mit Medienkonverter

5.2.2 Platzanalyse

Der D(C) soll bereits im ersten Musterstand den richtigen Formfaktor haben, um in ein EMV-gerechtes Gehäuse zu passen. Im ersten Designschritt wurde daher eine PCB-Platzanalyse durchgeführt, um den nötigen Formfaktor zu ermitteln und dem Projektpartner Bosch die Möglichkeit zu geben, ein Gehäuse auszuwählen.

Als Basis für die Platzanalyse dienten verschiedene Referenzdesigns, auf denen ein identischer oder ähnlicher Baustein bzw. die Funktionsgruppe bereits vorhanden war. Dies waren im Einzelnen:

- Das S32G Evaluation Module S32G-PROCEVB-S des Projektpartners NXP. Dieses enthält den Prozessor mit LPDDR4 Memory und Flash sowie einen Power Management IC VR5510, der auf dem D(C) die Spannungsversorgung für den Prozessor sowie möglichst viele weitere Bausteine bereitstellen soll.
- Das SJA1110 Evaluation Board X-SJA1110EVM des Projektpartners NXP. Dieses enthält den SJA1110 Switch.
- Den zu diesem Zeitpunkt bereits entworfenen HiPer Medienkonverter für die Ethernet PHYs AQV107 und deren Spannungsversorgung, von der angenommen wurde dass sie nicht durch den VR5510 bereitgestellt werden kann.
- Mehrere alte Glück-Designs, in denen die Marvell Ethernet PHYs 88Q2112 und 88E1512 verwendet wurden. Diese sind sehr ähnlich den auf dem HiPer D(C) verwendeten 88Q2110 und 88EA1512.

Für Debug-Verbinder, CAN-Transceiver und diverse Befilterung, für die keine direkte Referenzdesigns verfügbar waren, wurde der nötige Platz auf Basis der Footprints der nötigen Bauteile grob geschätzt.

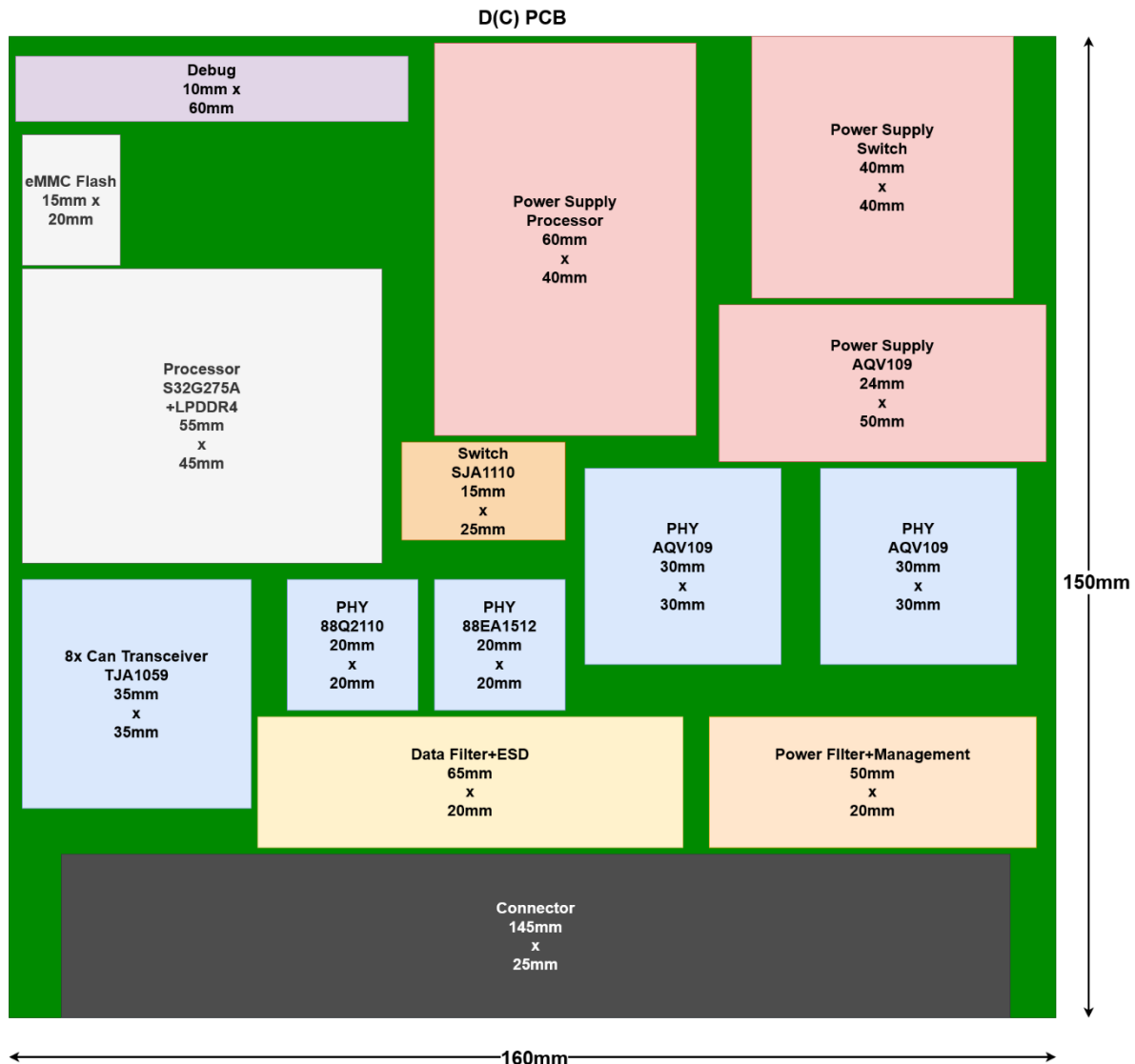


Abbildung 15: D(C) Platzanalyse

Als Wunsch für den Formfaktor gab Bosch Dimensionen von 150mm*160mm vor, um ein Bosch-Standardgehäuse verwenden zu können. Die Platzanalyse ergab, dass dies realistisch möglich war.

Zu einem späteren Zeitpunkt im Designprozess wurde die Anordnung der Funktionsgruppen noch geändert, um die Leitungsführung zu optimieren und die Verwendung einer im Gehäuse integrierten Kühlbank zu ermöglichen.

5.2.3 Schaltplan

Der Schaltplan für den HiPer D(C) wurde von Bosch design't, dabei im Wesentlichen auf Basis der verschiedenen Referenzdesigns zusammengestellt und mit erforderlichen Änderungen und Schnittstellen versehen. Das tatsächliche Zeichnen des Schaltplans wurde von Glück

Abschlussbericht Penta HiPer

geleistet, in enger Absprache und mit wiederholten Reviews mit Bosch. Es wurden wo immer möglich nach AEC-Q zertifizierte Bauteile verwendet.

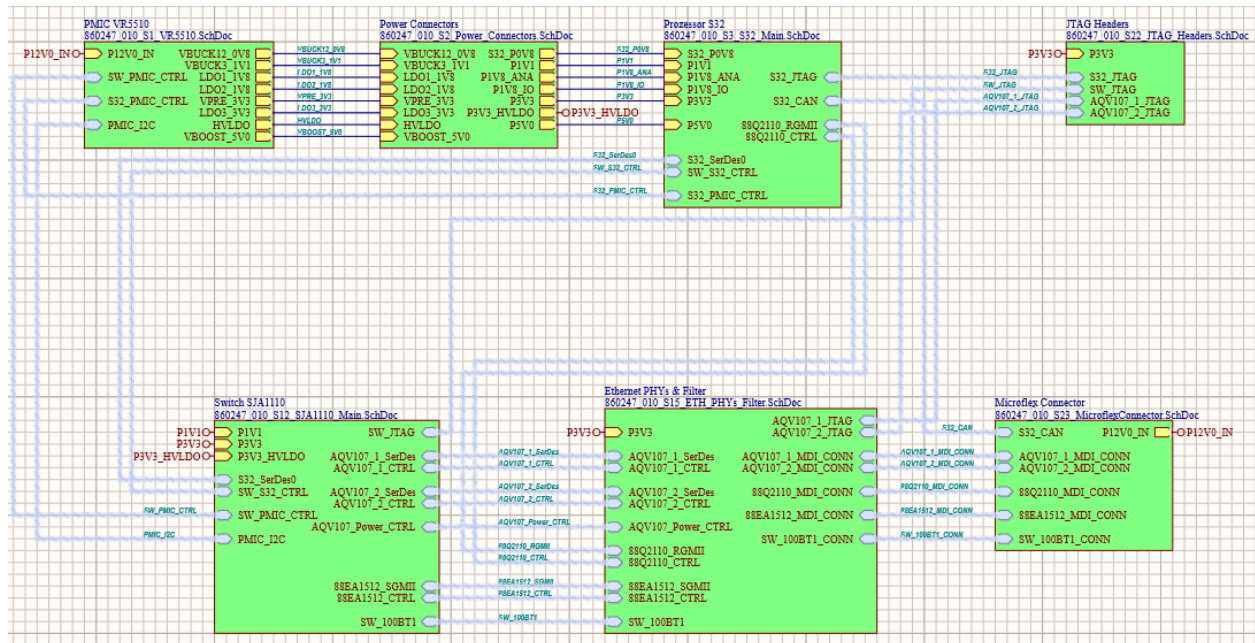


Abbildung 16: D(C) Schaltplan Übersicht

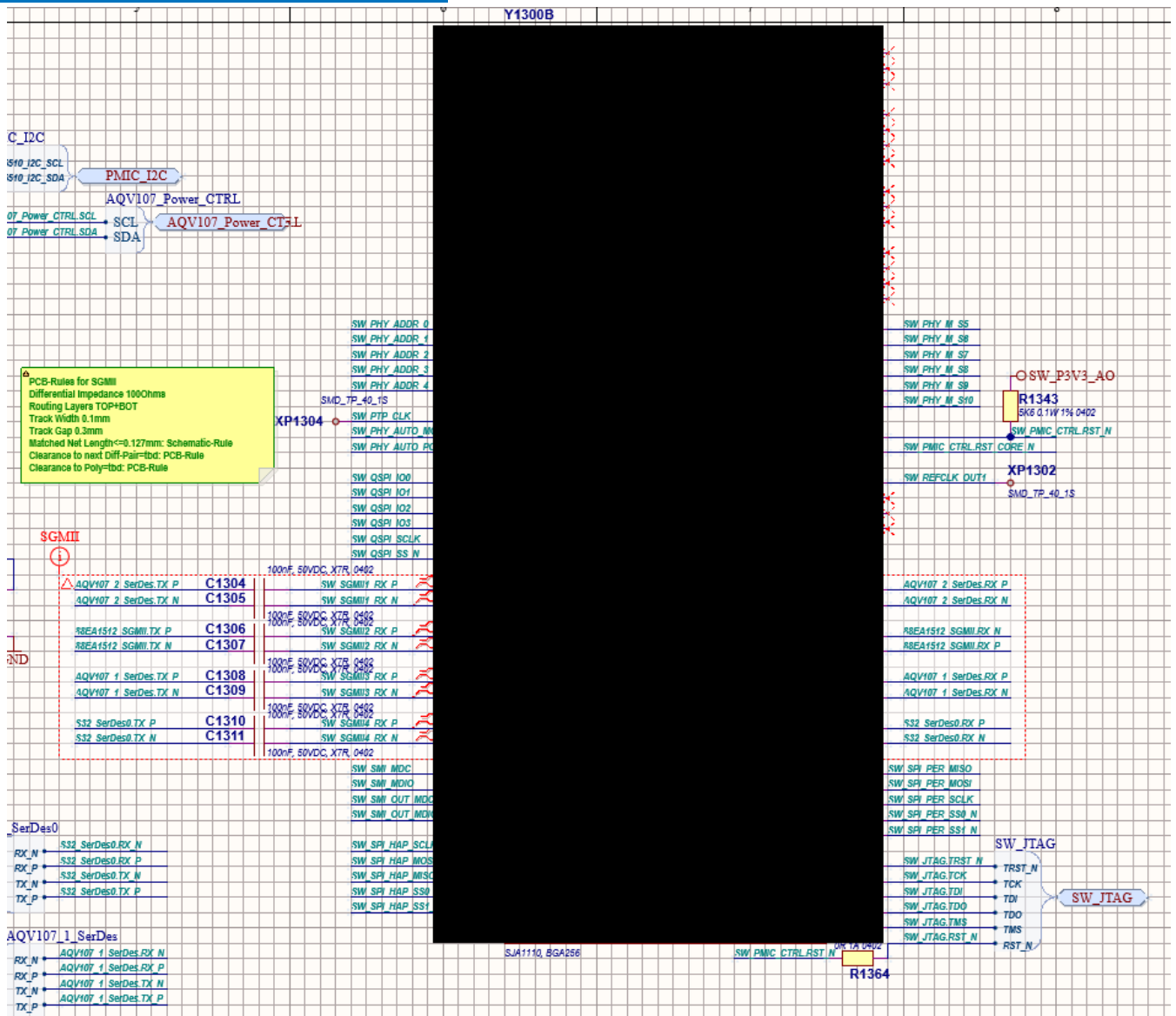


Abbildung 17: D(C) Schaltplan, SJA1110 Datenleitungen

In Abweichung von den Referenzdesigns wurde ein Clockgenerator-IC PI6CG33201CZDIEX verwendet um die SerDes-Clock des Prozessors zu generieren, da der dort verwendete Generator NB3N51032DTG nicht automotive-zertifiziert war. Außerdem wurde die Spannungsversorgung der AQV107 aus Platzgründen mit einem einzigen, mehrphasigen Wandler LP875610RNFTQ1 gelöst. Für verschiedene Steuerepins des Prozessors wurde eine Batterie an Lötbrücken eingesetzt, um diese optional auf logisch high (3,3V) zu ziehen. Der Normalzustand ist durch einen Pulldown logisch low.

5.2.4 PCB

Für das Design des PCB wurden von Bosch besondere Bedingungen vorgegeben, um eine EMV-gerechte Anbindung an das Gehäuse zu ermöglichen. Alle Bauteile, mit Ausnahme von passiven Widerständen und Stützkondensatoren, sollen auf der Oberseite des PCB platziert

werden. Am Rand des PCB auf beiden Seiten, sowie auf der Oberseite vor dem Stecker sollte eine breite Fläche offenen Kupfers mit Anbindung an GND sein. Diese Fläche wird später vollflächig leitend mit dem Gehäuse verbunden. Somit ist die Oberseite des PCB, mit den meisten EMV-kritischen Bauteilen und Signalen, dreidimensional mit GND geschirmt.

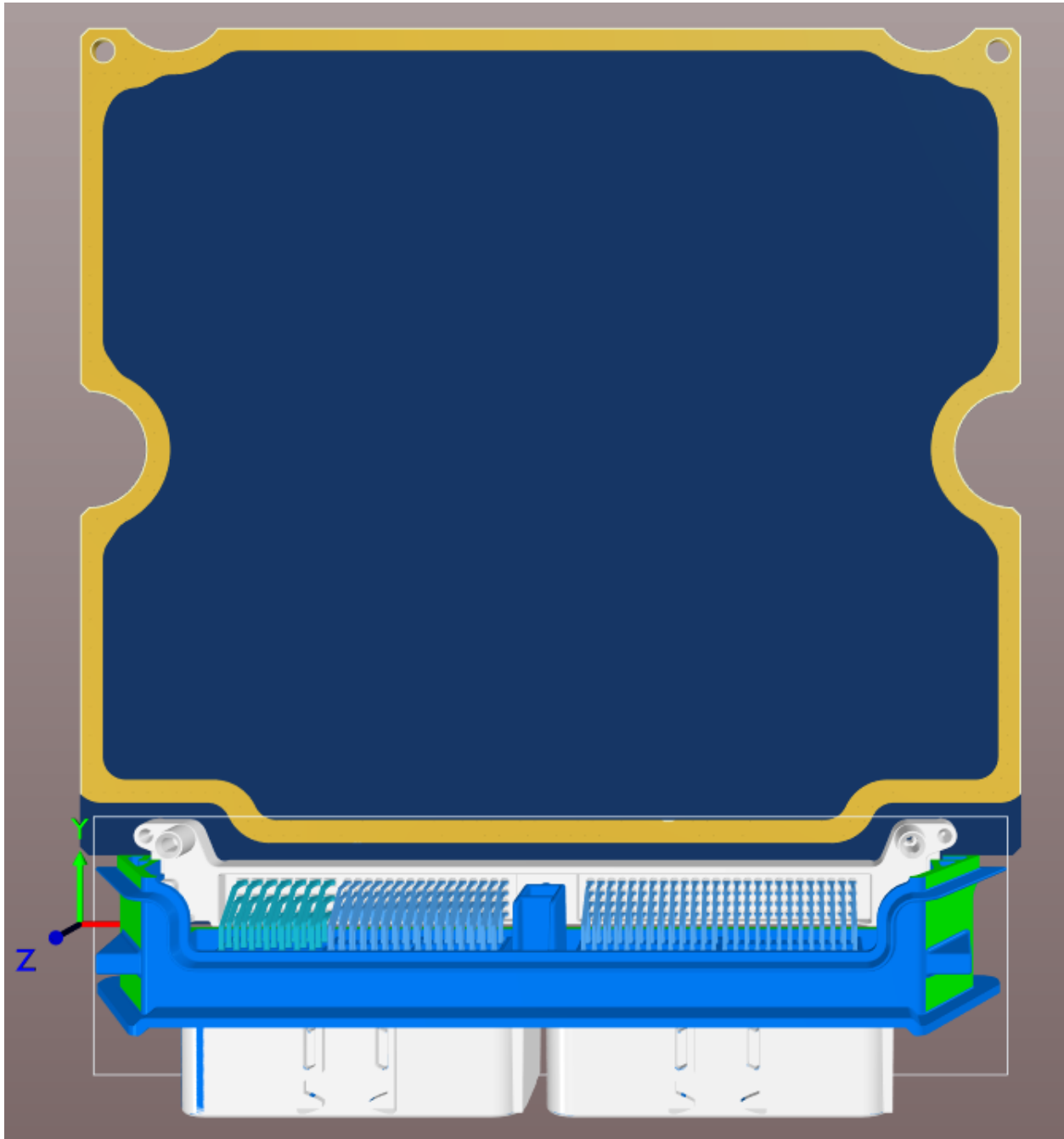


Abbildung 18: D(C) PCB Kontur mit Kupferfläche, Oberseite

Bzgl. des Layer Stacks wurde entschieden, dass wie beim S32G-PROCEVB-S eine 10-lagige Platine verwendet wird. Die Layerdicken wurden in Kooperation mit dem Leiterplattenhersteller

so gewählt, dass die erforderlichen Impedanzen erreicht werden und die gesamte Leiterplatte 1,6mm dick ist. Isolationsmaterial ist pcl370hr.

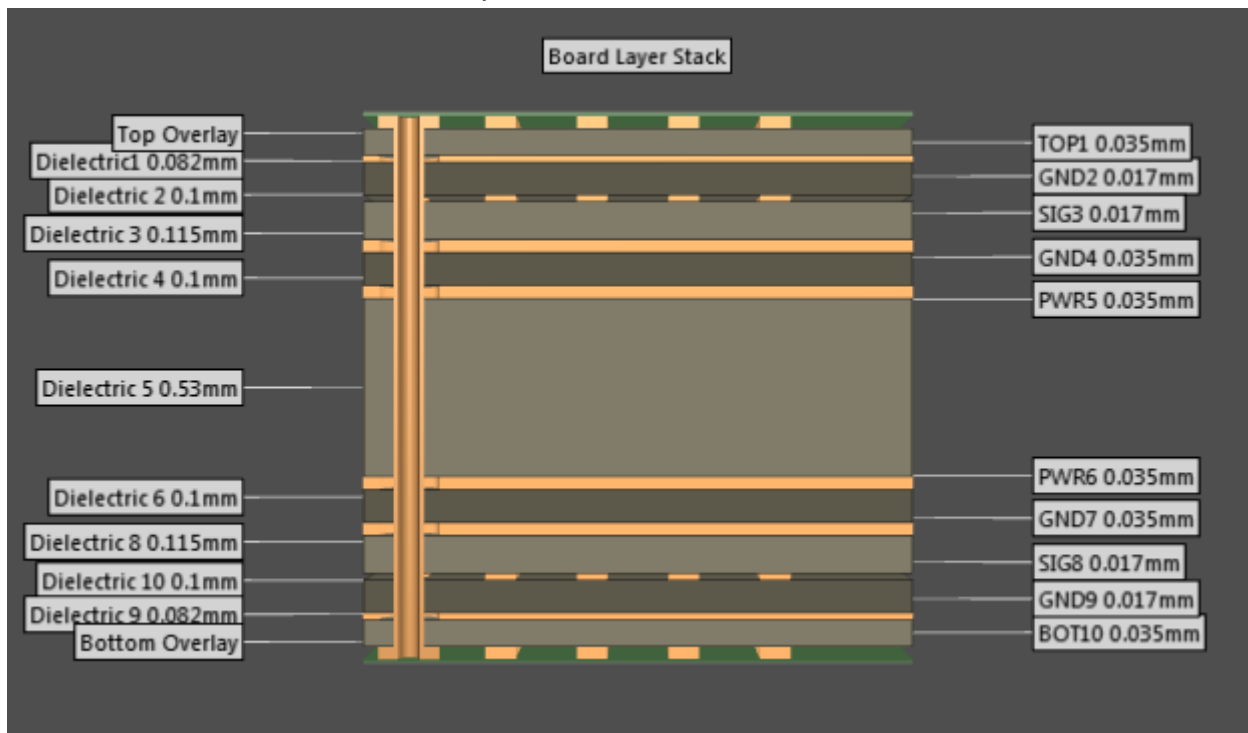


Abbildung 19: D(C) Layer Stack

Die Verwendung der Lagen orientiert sich ebenfalls an S32G-PROCEVB-S:

- Außenlagen TOP1 und BOT10 sind Bauteil- und Signallagen.
- Innenlagen GND2/4/7/9 sind GND-Planes.
- Innenlagen SIG3/8 sind Signallagen.
- PWR5/6 sind Power-Planes.

Dadurch können sowohl auf den Außenlagen als auch auf den Signallagen Signale mit kontrollierter Impedanz geführt werden. Die Anbindung des LPDDR4-Speichers ist auf den Innenlagen, Ethernet und SerDes-Signale werden auf den Außenlagen geführt.

Die PCB-Technologie hat dabei Clearance und Track Width von jeweils 100µm, mit Via-in-Pad-Technologie und 150µm Bohrdicke.



Abbildung 20: D(C) Layout, Oberseite

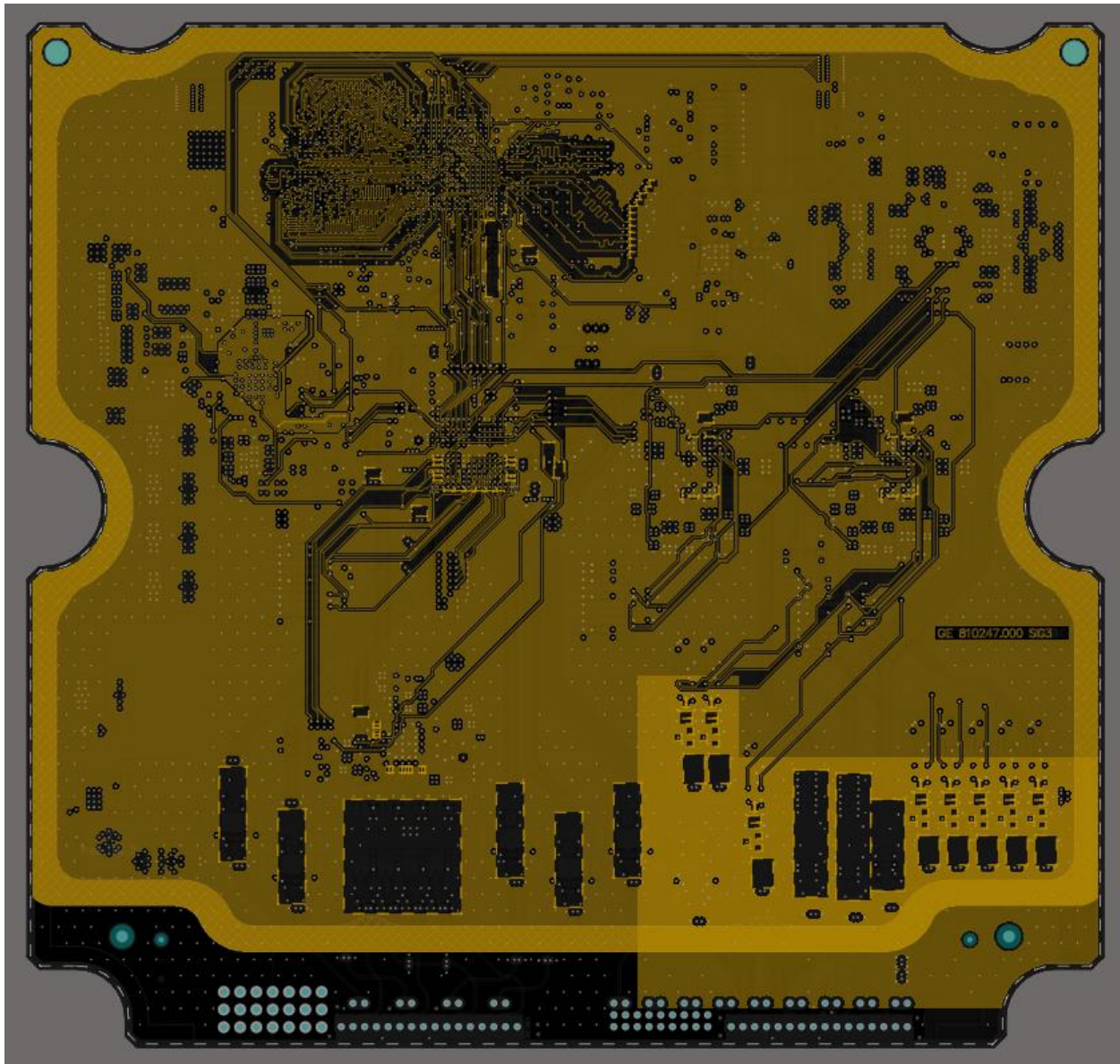


Abbildung 21: D(C) Layout, Signallage SIG3



Abbildung 22: D(C) Layout, Signallage SIG3, Anbindung von LPDDR4



Abbildung 23: D(C) Layout, Powerplane PWR5

5.2.5 Fertigung

Nach Abschluss des Designs wurden 3 Stück D(C) gebaut. Bereits vor der Bestückung fiel auf, dass Kondensatoren unter dem LPDDR4 bedenklich nahe aneinander und z.T. mit unzureichender Lötstopplack-Trennung platziert waren. Daher wurden einige Kondensatoren nicht bestückt. Bei der Bestückung fiel auf, dass einige Stützkondensatoren unter dem Prozessor ebenfalls zu eng platziert und fehlerhaft verschmolzen waren. Dies trat nur bei einem Board auf, es wurde markiert und die Bearbeitung des Boards Bosch überlassen. PHY 88Q2110 und der Microflex-Gerätestecker wurden bei Glück nicht bestückt, da sie noch nicht verfügbar waren. Die Bestückung dieser Bauteile wurde Bosch überlassen.

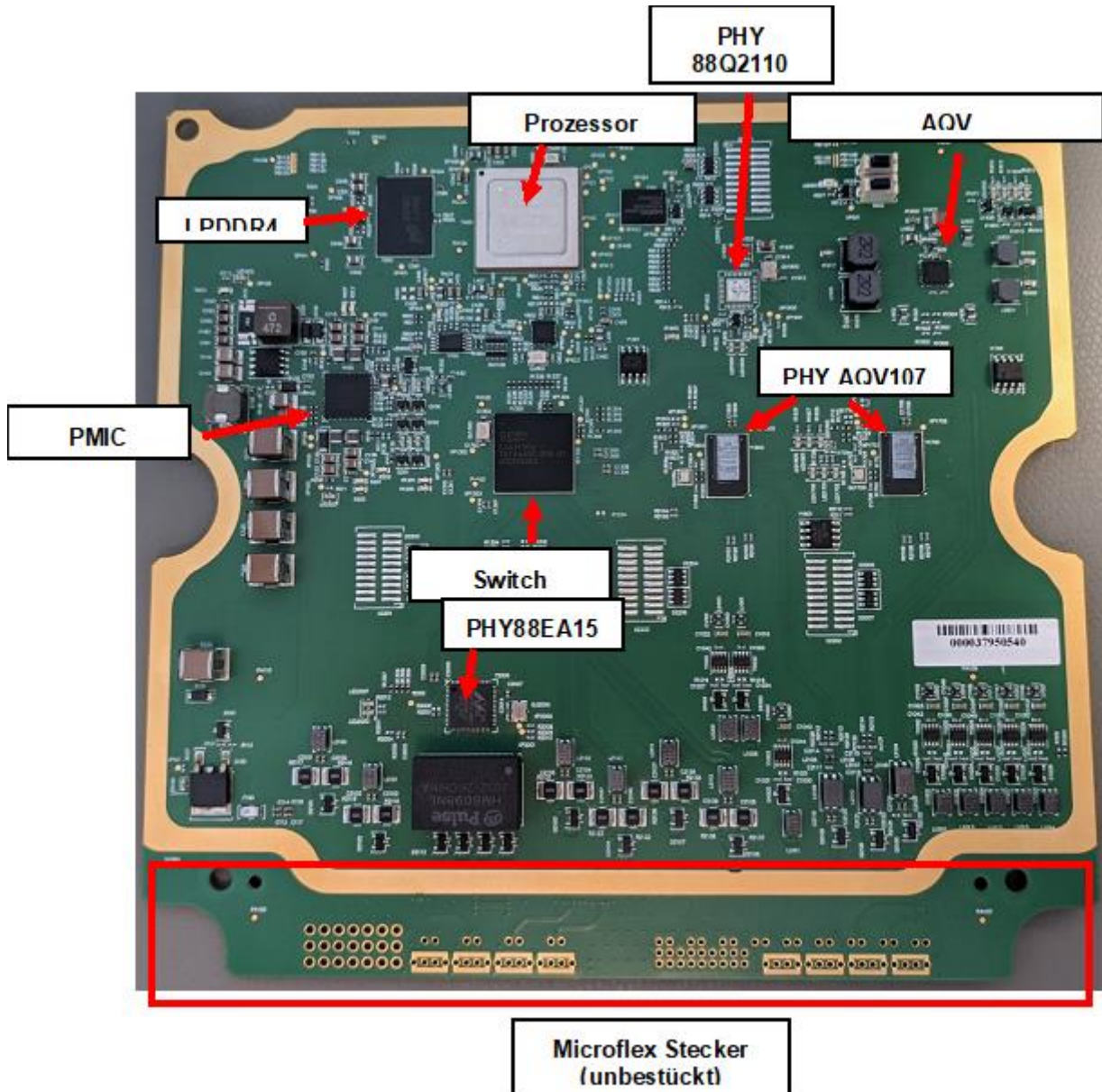


Abbildung 24: D(C) nach Bestückung bei Glück

Die Inbetriebnahme bei Bosch lief größtenteils zufriedenstellend. Es wurden kleinere Fehler in Schaltplan und Layout aufgedeckt, die aber die prinzipielle Funktion der Komponenten nicht beeinträchtigten.



Abbildung 25: D(C) mit bestücktem Gerätestecker und Gehäuse-Unterseite



Abbildung 26: D(C) im Gehäuse, Gerätestecker mit Kabel angeschlossen

5.2.6 Redesign

Bei der Revision des Designs für den 2. Musterstand wurden erkannte Fehler behoben und Verbesserungsmöglichkeiten umgesetzt. Dazu wurden einige Komponenten ersetzt. 88Q2110 PHY wurde ersetzt durch 88Q2112 aus Gründen der Bauteilknappheit. Aquantia PHY AQV107 wurde ersetzt durch den neueren Marvell PHY 88Q4364 „Arcus“. Dabei konnte zurückgegriffen werden auf das Design eines Medienkonverters mit 88Q4364, den Bosch bei der Glück Engineering GmbH in Auftrag gegeben hatte. Diese Medienkonverter wurde auch mit dem 2. Musterstand des D(C) verwendet, um das Gegenstück zu der 2,5Gbit-Schnittstelle zu bilden.

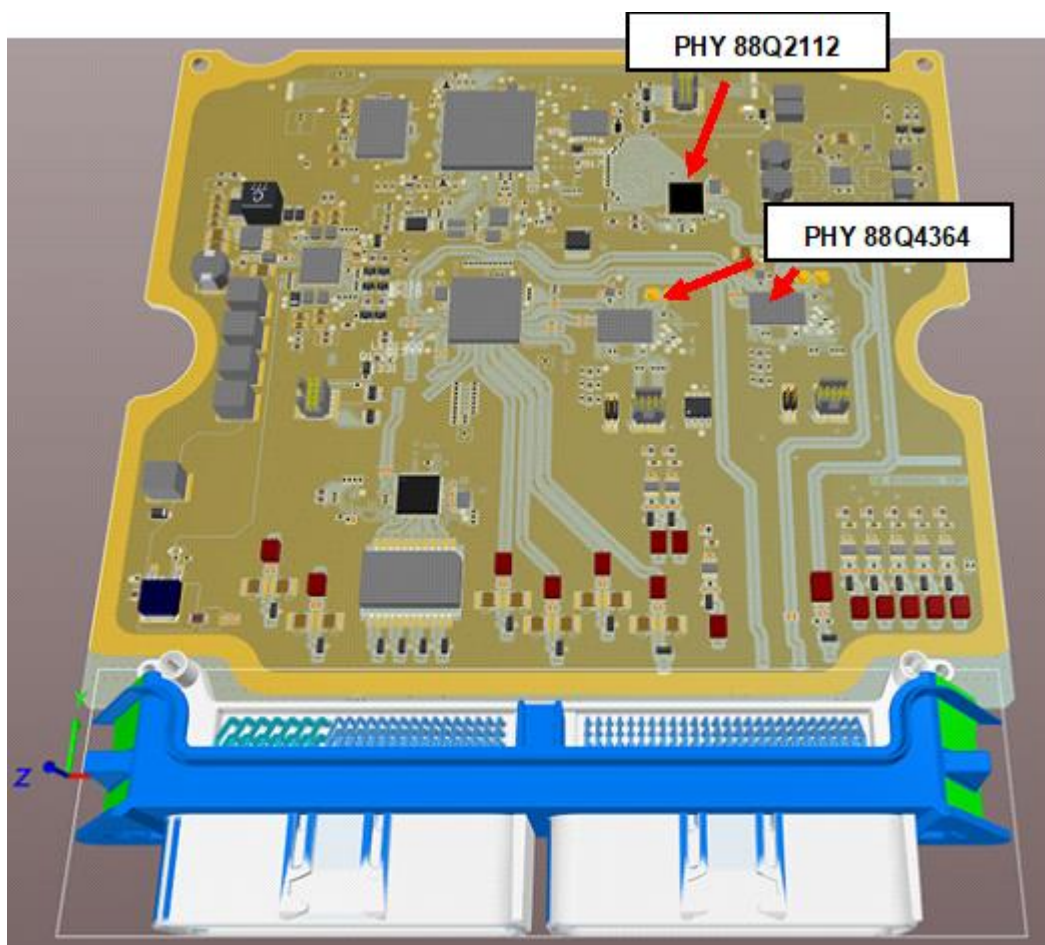


Abbildung 27: Bauteiländerungen im 2. Musterstand D(C)

Auf Anregung von Bosch wurde zu Testzwecken die Anbindung des 2,5G-Ethernet Signals an den Stecker geändert, sodass als Referenz bis zum Trennkondensator nicht System-GND sondern der entsprechende Schirm des Kabels verwendet wird. Anhand dieser Änderung wollte Bosch Forschungen zur elektromagnetischen Verträglichkeit der Ethernet-Verbindung durchführen.

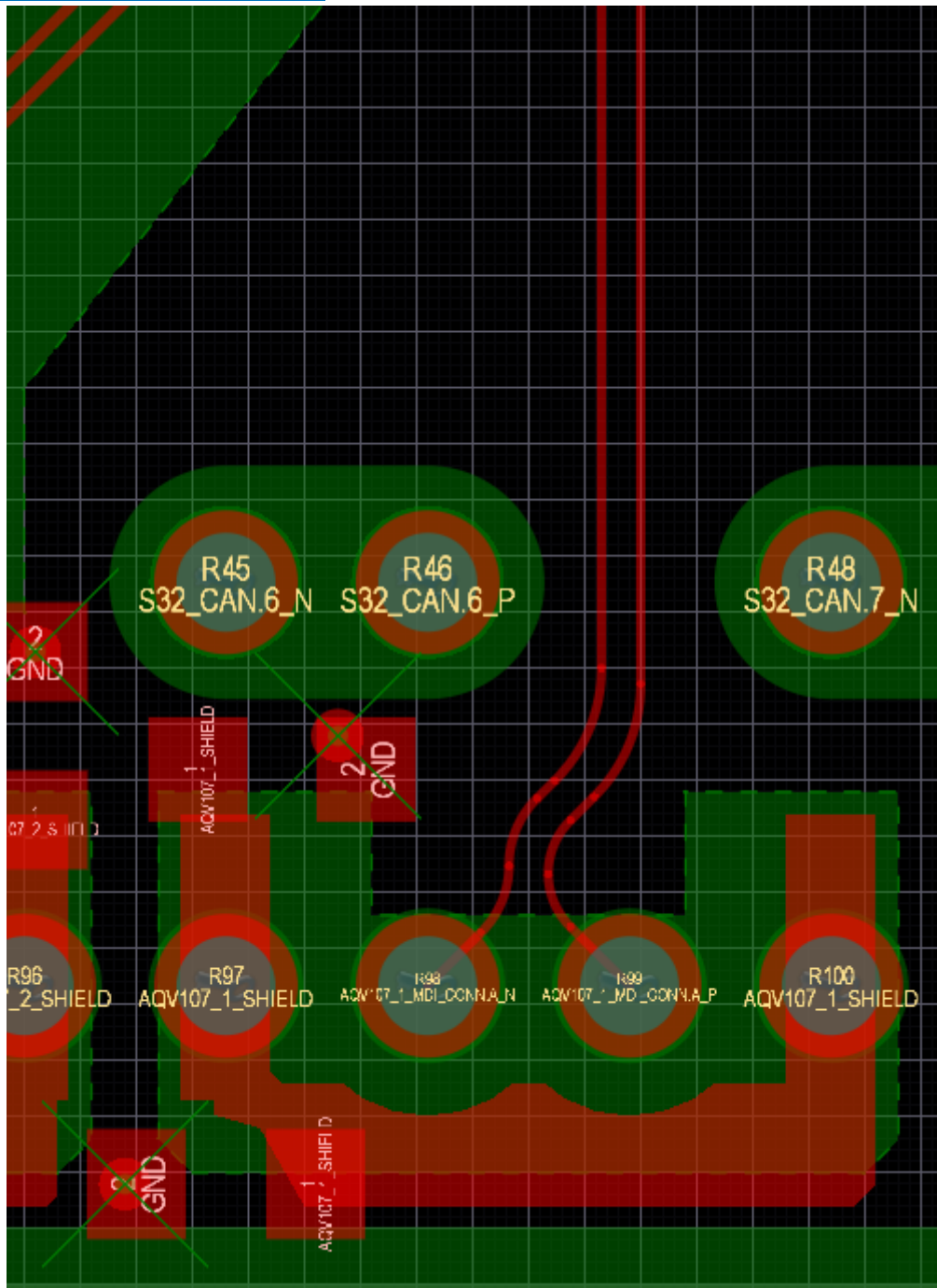
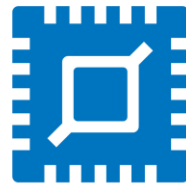


Abbildung 28: D(C) Musterstand 1: Referenz für das MDI ist System-GND

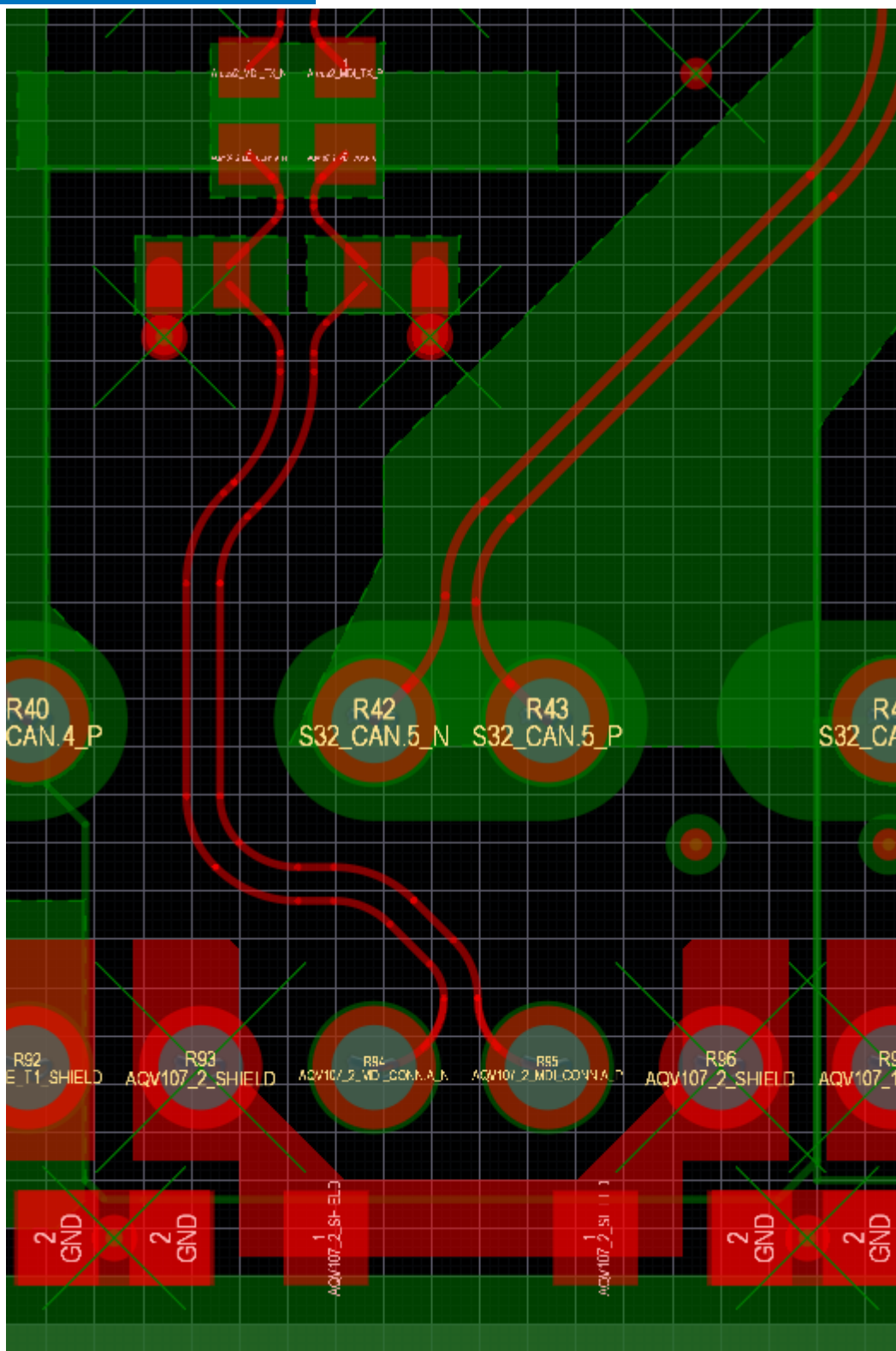


Abbildung 29: D(C) Musterstand 2: Referenz für das MDI bis zu den Trennkapazitäten ist Shield (hier fälschlich noch als AQV bezeichnet)

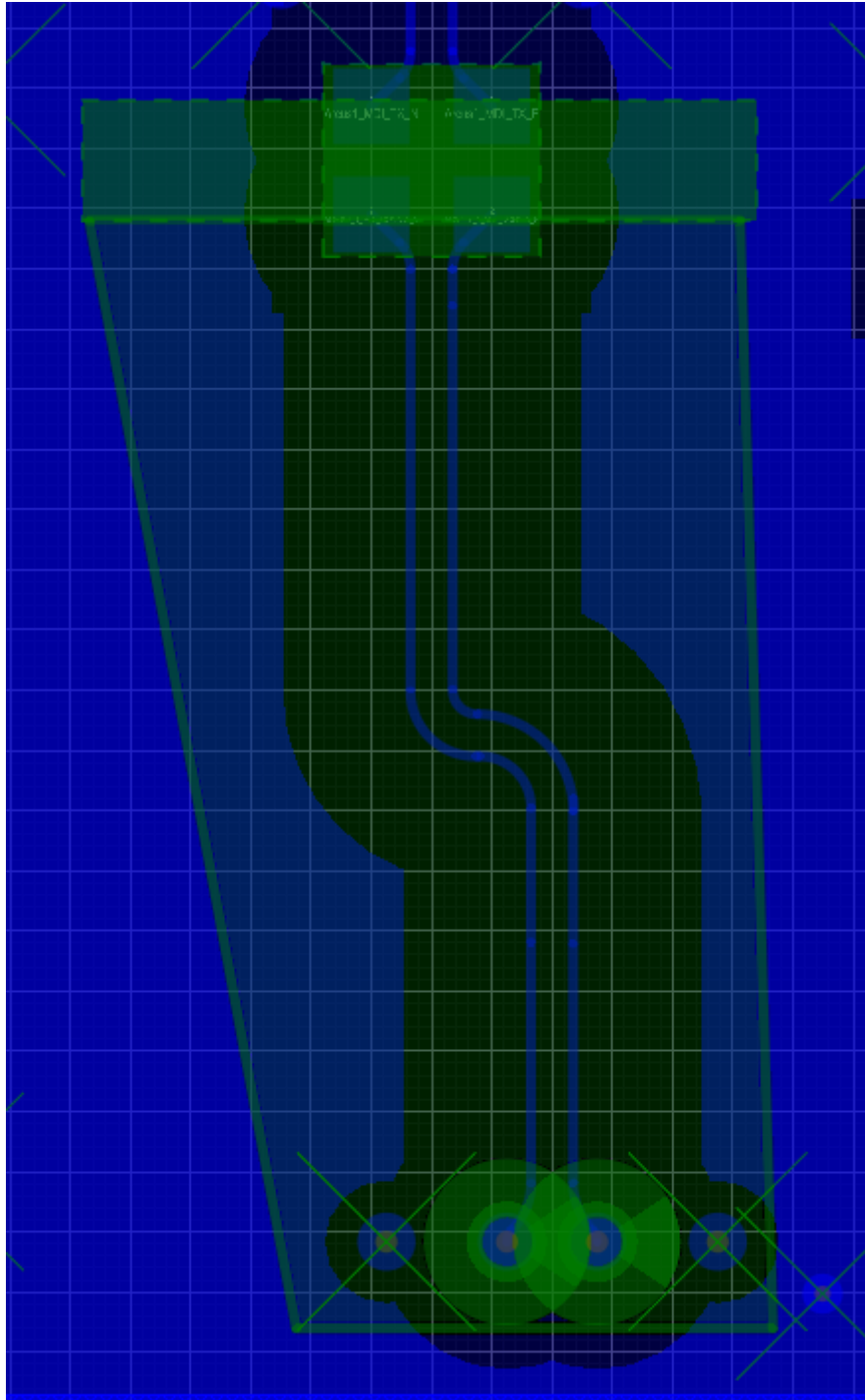


Abbildung 30: D(C) Musterstand 2: Testweise wird ein Lagenwechsel von Bottom auf Top durchgeführt, wobei die Referenz (Shield) ebenfalls von GND9 auf GND2 weitergeleitet wird.

Vom 2. Musterstand des D(C) wurden 4 Stück gebaut und an Bosch geliefert. Erst nach Bestückung der SMD-Bauteile fiel auf, dass die Bohrungen für den Gerätestecker zu klein waren, was als Fehler des PCB-Herstellers identifiziert wurde. Glücklicherweise konnte Bosch

***Abschlussbericht
Penta HiPer***



den Stecker manuell bestücken. Ansonsten war die Inbetriebnahme durch Bosch ein voller Erfolg, alle Funktionen waren verfügbar und die geplanten Forschungen und Experimente konnten erfolgreich durchgeführt werden.

6 Eingehende Darstellung: Pfad Thermal/Integration

6.1 $D(TR)$

Der $D(TR)$ dient als Plattform für die PowerSiP und überträgt Heizstrom und Messsignale, wobei letztere auch gebündelt und verstärkt werden. Er besitzt neben der PowerSiP eine hohe Zahl Multiplexer CD4051BPWR, um die verschiedenen Messsignale zu bündeln, und einige Verstärker OPA1637DGKR um diese Signale auf ein für die weitere Übertragung geeignetes Spannungsniveau zu bringen. Die Verbindung zu der AQU geschieht über zwei Kabelsteckverbinder TFM-150-01-F-D mit jeweils 100 Pins.

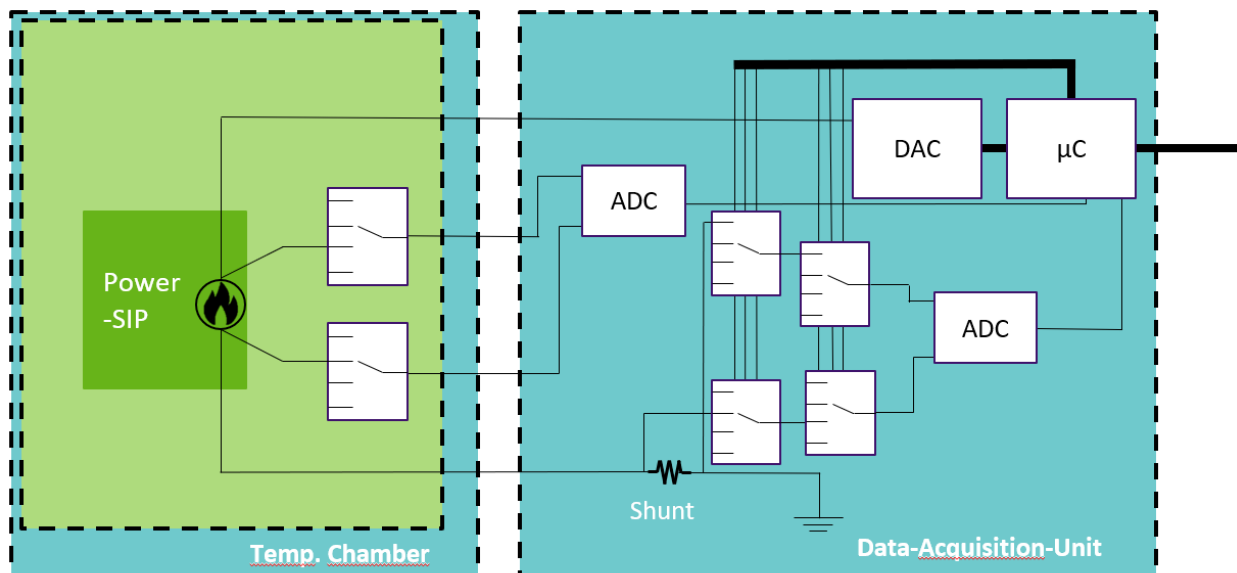


Abbildung 31: $D(TR)$ + AQU, Systemkonzept Heizung

6.1.1 $D(TR)$ Testrouting

Um die für das Fanout des PowerSiP-Interposer-BGA nötige Lagenzahl und Technologie zu bestimmen, wurde ein Testrouting gemacht. Auf Basis eines frühen Pinouts des Interposers wurde versucht, alle verwendeten Pins herauszuführen. Da nicht alle dieser Pins im $D(TR)$ auch einzeln herausgeführt werden müssen oder überhaupt verwendet werden, sind die tatsächlichen Anforderungen geringer. Auf Anregung durch Glück wurde das Pinout durch Bosch im wesentlichen Punktsymmetrisch ausgeführt. Der Plan war zunächst, nur ein Achtel der Pins zu routen und das Routing für den Rest des Chips zu kopieren. Diese Vorgehensweise erwies sich später als ungeeignet, da auch Verbindungen innerhalb des Chips geroutet werden sollen. Für einen Proof of Concept ist es jedoch ausreichend. Dabei konnte bewiesen werden, dass eine Platine mit 12 Lagen ausreicht, um alle auf dem Interposer verbundenen Balls auch auf dem $D(TR)$ anzubinden.

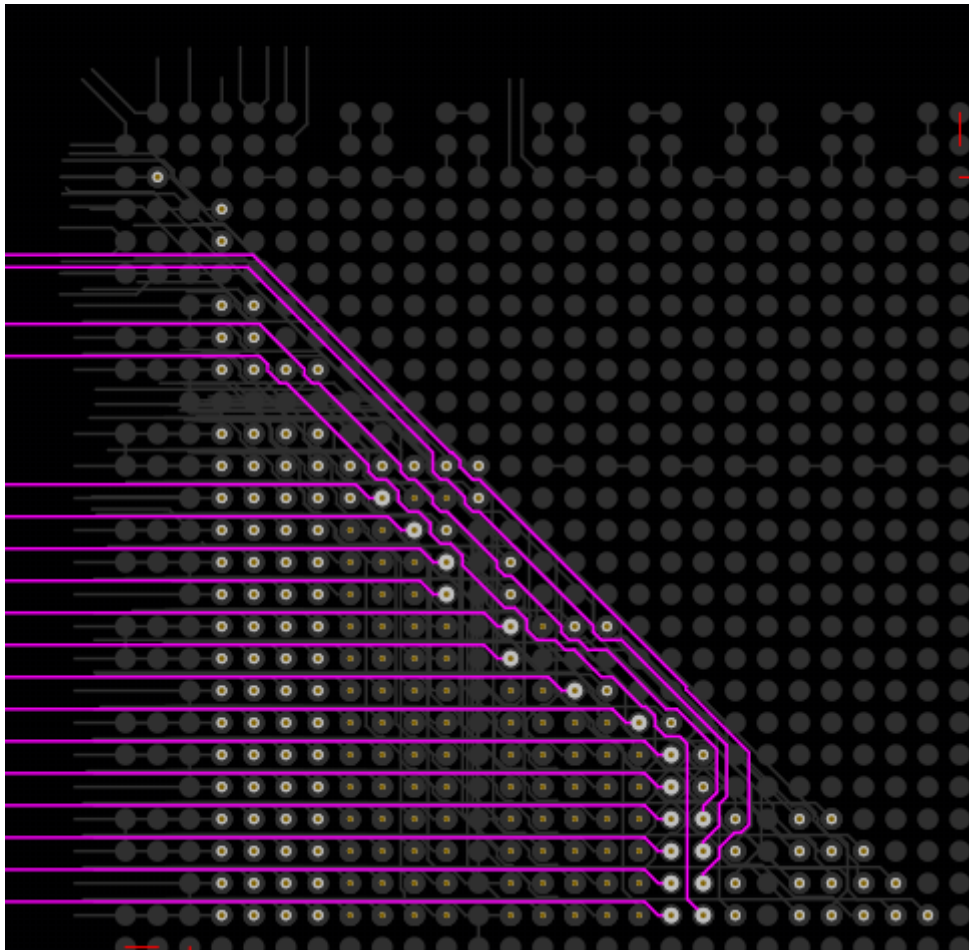


Abbildung 32: Testrouting, Innenlage

Die PCB-Technologie ist identisch zu der bei der Baugruppe D(C) (Clearance und Track Width jeweils 100µm, Vias in Pad, 150µm Bohrdicke.)

6.1.2 Schaltplan

Der erste Musterstand des D(TR) enthält folgende Funktionsgruppen:

- PowerSiP
- Auswertungsschaltung der Temperatursensoren, 1 Verstärker, 1 Multiplexer für den Messstrom und 8 Multiplexer für die Messsignale
- Auswertungsschaltung der Stresssensoren Typ1, 1 Verstärker, 1 Multiplexer für den Messstrom und 14 Multiplexer für die Messsignale
- Auswertungsschaltung der Stresssensoren Typ2, 1 Verstärker, 4 Multiplexer für den Messstrom und 30 Multiplexer für die Messsignale
- Auswertungsschaltung für Ball- und Bump- Daisy Chains, 1 Verstärker, 16 Multiplexer für die Messsignale
- Auswertungsschaltung für einzelne Balls und Bumps, 8 Multiplexer für die Messsignale
- Multiplexer für IForce-Sensoren, 1 für Spannungsversorgung und 2 für Messsignale

- Jede Auswertungsschaltung verfügt über einen voll differentiellen Verstärker, um die Differenz der Signale des positiven und negativen Ausgangs des gewählten Sensors aufzunehmen und zu verstärken. Das Multiplexing des Messstroms für Single Balls/Bumps und Daisy Chains geschieht auf der AQU, was aber eine hohe Anzahl Einzelverbindungen über Kabel erfordert. Der Schaltplan für den ersten Musterstand des D(TR) wurde wie beim D(C) von Glück gezeichnet, unter Aufsicht von und in ständigem Kontakt mit Bosch.



Beim Layout des D(TR) musste besonders darauf geachtet werden, dass die mechanischen Anforderungen für die Durchführung des Undermoulding zwischen PCB und PowerSiP erfüllt wurden. Die PowerSiP wurde mittig auf der Oberseite platziert, und eine große Fläche um die PowerSiP, sowohl auf der Unterseite als auch auf der Oberseite, frei gelassen. Dabei wurden einige Flächen ohne Lötstoplack gelassen, um auf dem Kupfer (bzw. der ENIG-Oberfläche auf dem Kupfer) das Undermoulding-Werkzeug aufzupressen und potentiell Dehnungsmessstreifen aufkleben zu können.

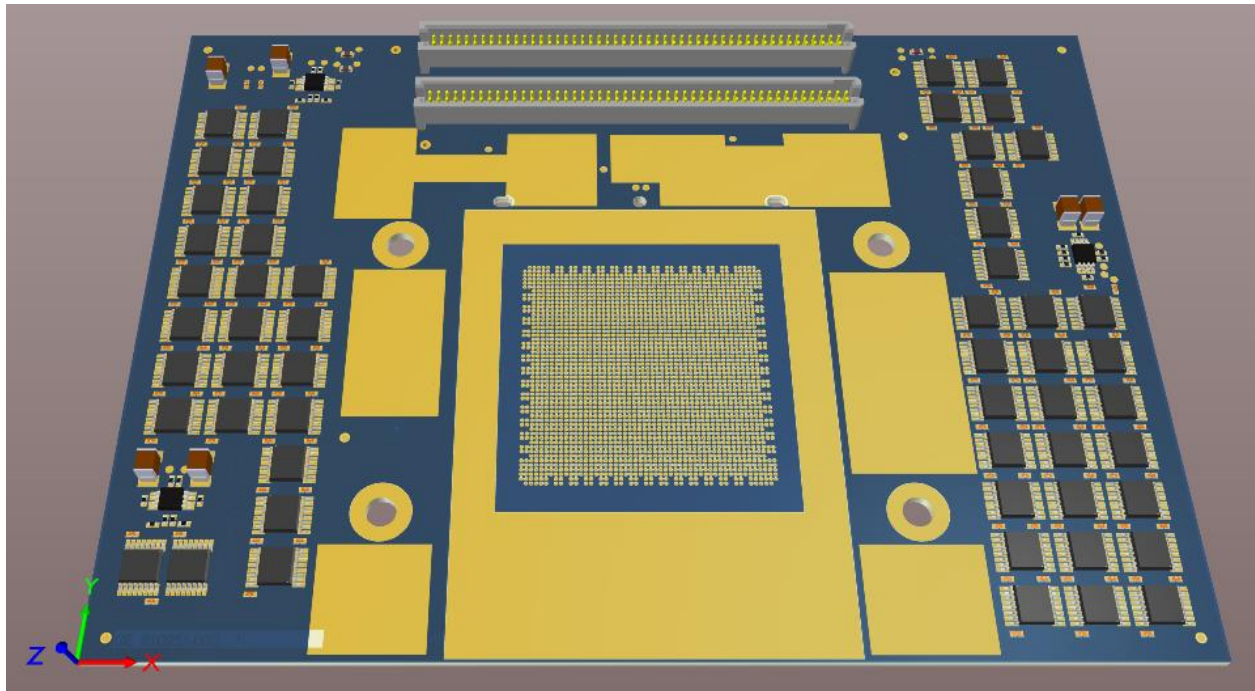


Abbildung 34: Layout D(TR), Oberseite

Es zeigte sich beim Fanout der PowerSiP, dass 10 Lagen für das Layout des D(TR) ausreichen. Daher wurde entschieden, denselben Layer Stack wie beim D(C) zu verwenden. Beim Fanout wurde darauf geachtet, Signal einer Funktionsgruppe möglichst auf einer Lage zu führen, und einander potentiell durch elektromagnetische Interferenzen störende Signale mit GND-Planes zu trennen. Die Aufteilung war wie folgt:

Oberseite mit PowerSiP, Steckern, sonstigen Bauteilen. Signale wurden auf der Oberseite nur bei den Verstärkern geführt, ansonsten war dies unnötig, da alle Bauteile durch die Via-in-Pad-Technologie direkt angefahren werden konnten.

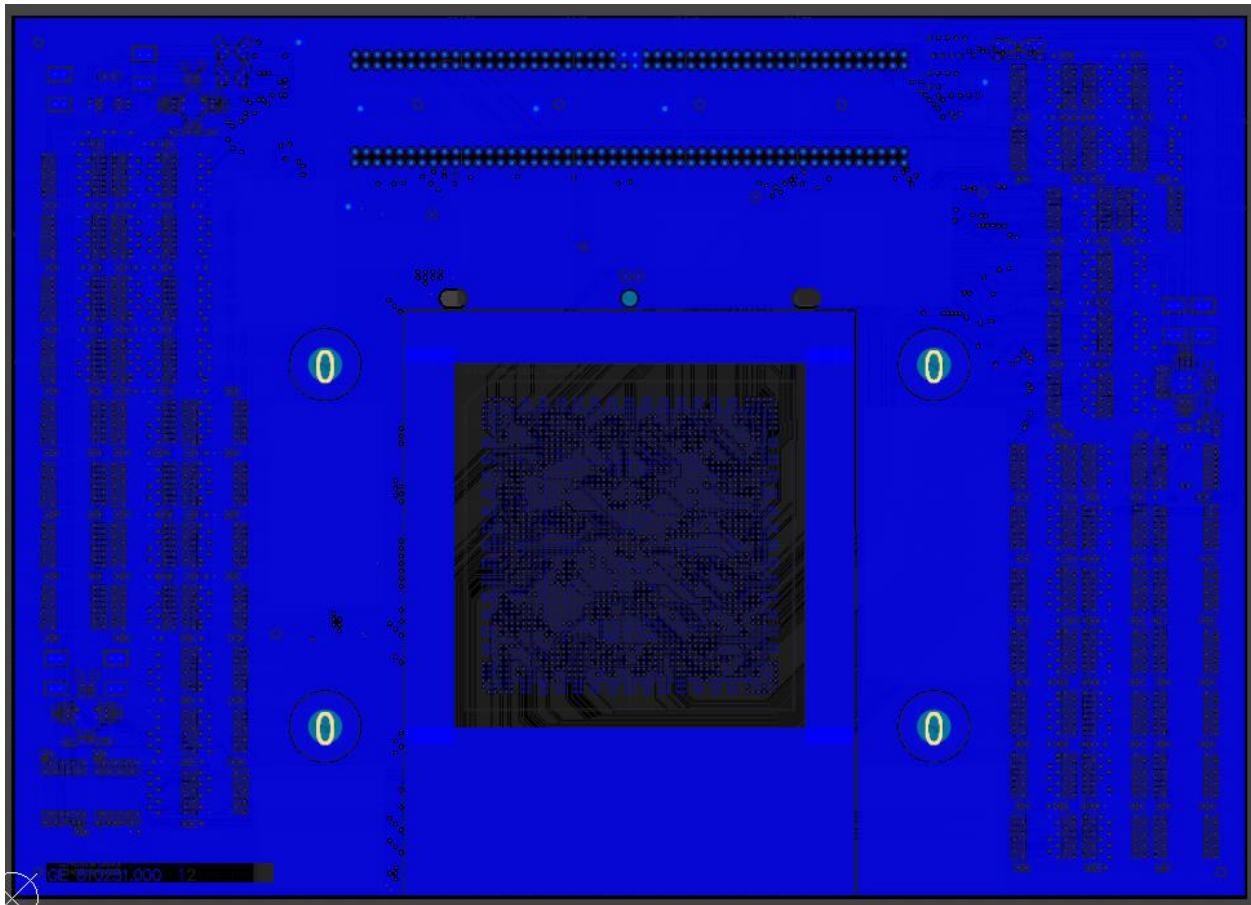


Abbildung 35: D(TR) Layout, Oberseite

Die 1. Innenlage mit Signalen für IForce-Sensoren, Temperatursensoren, Messabgriff der Heizspannung und einige Stresssensoren. Diese Signale sind bis auf die Heizspannungen niederfrequent und führen keine hohen Ströme, sie sind daher tendenziell EMV-technisch unkritisch.

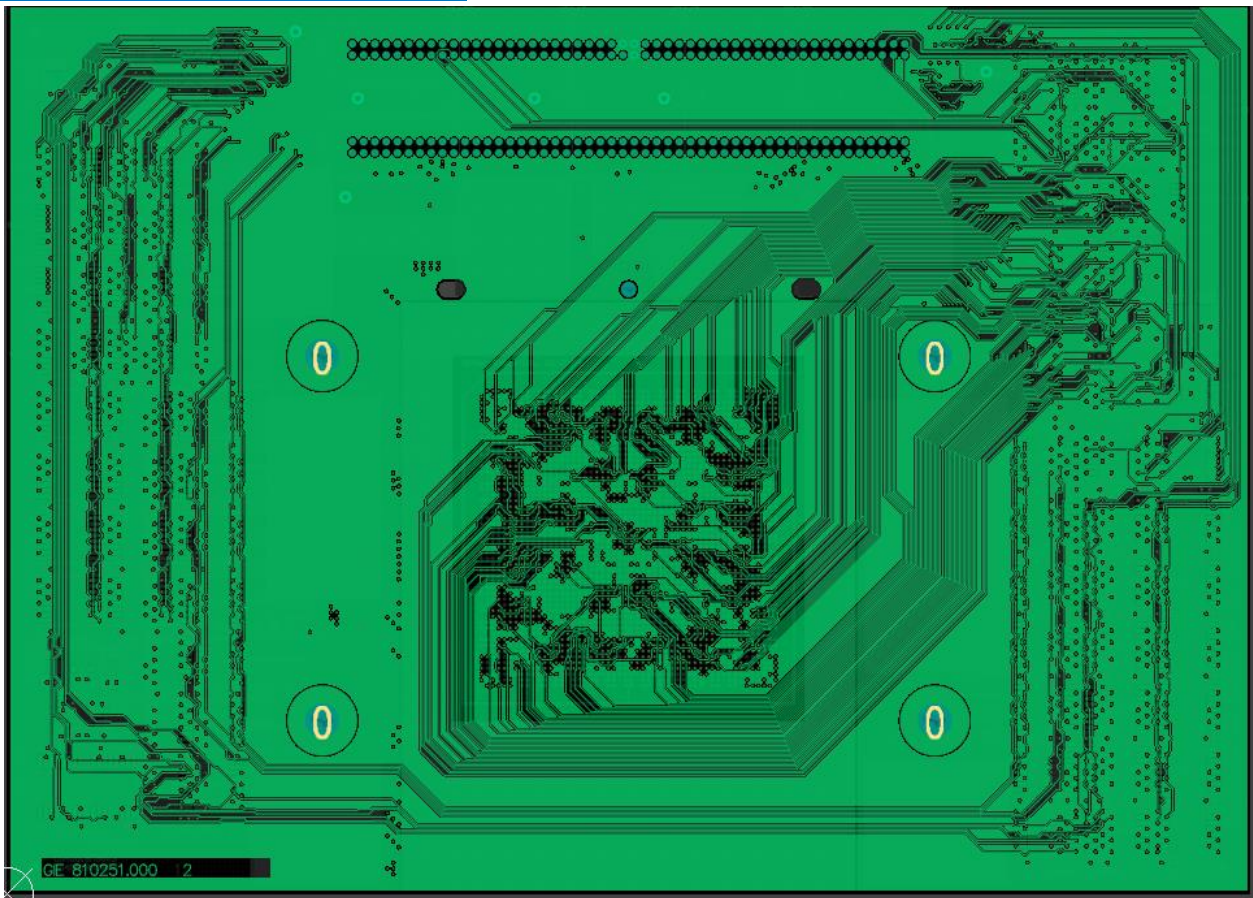


Abbildung 36: D(TR) Layout, 1. Innenlage

Die 2. Innenlage mit Signalen für Stresssensoren. Diese sind ebenfalls niederfrequent und mit geringen Strömen behaftet.

Die 3. Innenlage ist eine GND-Plane, die neben der Abführung von Strömen auch schirmt. Sie ist zweigeteilt in ein Mesströmen zugeordnetes GND unter der PowerSiP und ein Multiplexer/Verstärker-GND im Bauteilbereich. Diese sind auf der AQU verbunden.

Die 4. Innenlage führt Messsignale von Single Balls und Bumps. Diese Messungen werden in Pulsen gefahren, die Messsignale sind jedoch mit geringen Strömen behaftet.

Die 5. Innenlage führt Messsignale von Stresssensoren.

Die 6. Innenlage ist eine GND-Plane.

Die 7. Innenlage führt Messströme für Single Balls/Bumps und Daisy Chains. Diese werden in Pulsen <100ms gefahren und besitzen normalerweise eine Stromstärke von 200mA. Daher sind sie EMV-technisch kritisch.

Auf der 8. Innenlage ist unter und um die PowerSiP eine 24V-Fläche, die der Anbindung der Heizelemente dient. Im Bauteilbereich wird dort die Versorgungsspannung der Multiplexer und Verstärker geführt.

Auf der Unterseite des PCB befinden sich einige Multiplexer. Zwischen PowerSiP und Stecker werden die Heizströme geführt. Ansonsten befindet sich um die PowerSiP eine nicht angebundene Kupferfläche, um für den Undermoulding-Vorgang eine möglichst ebene Oberfläche zu schaffen. Die Heizströme werden mit einer PWM bis zu 1500kHz gepulst und sind daher ebenfalls EMV-kritisch.

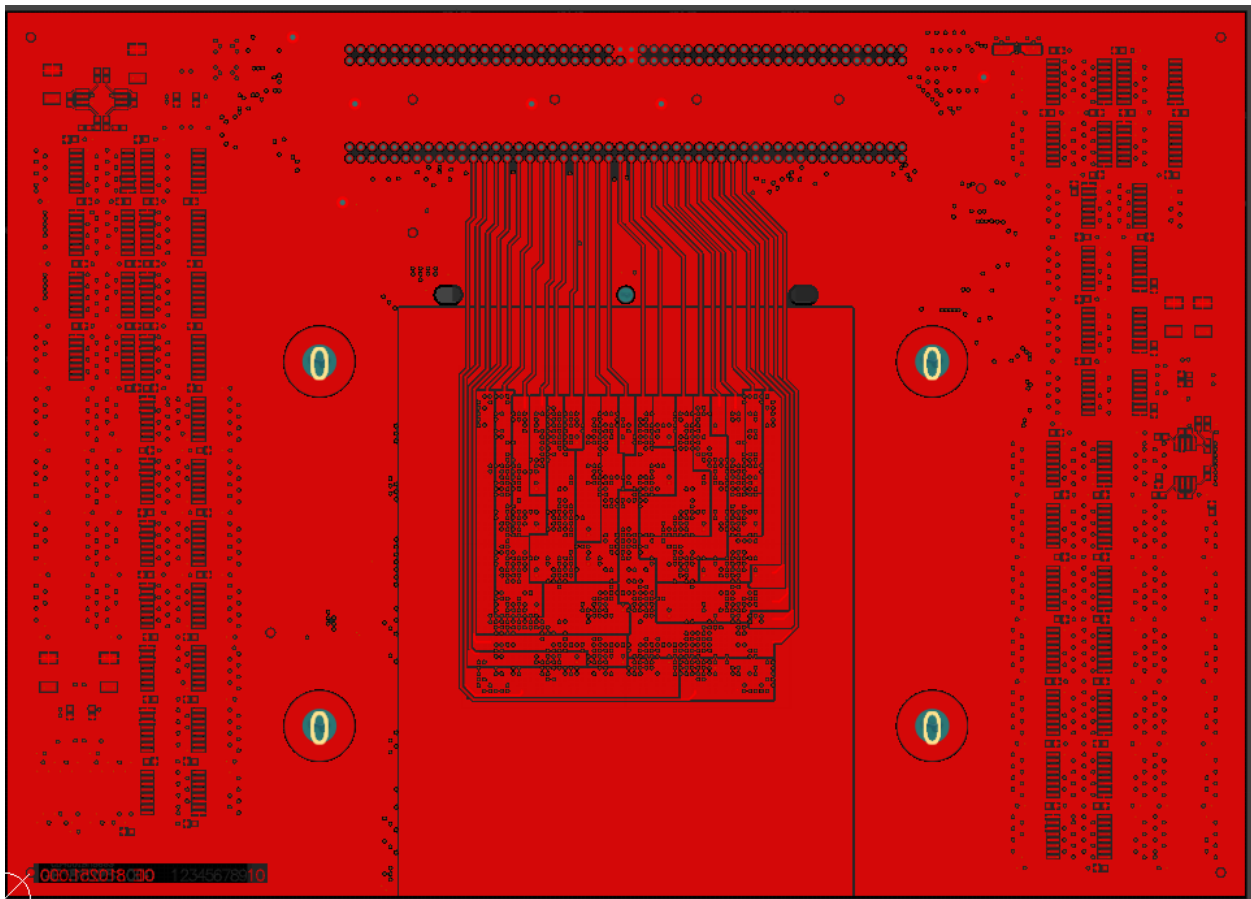


Abbildung 37: D(TR) Layout, Unterseite

Allgemein sind alle freien Flächen auf dem PCB mit GND aufgefüllt, um den Aufwand für den PCB-Hersteller zu verringern und wo möglich zusätzlichen Schirm zu schaffen. Bei der Belegung der Stecker wurde ebenfalls darauf geachtet, problematische Signale voneinander zu trennen. Heizströme und der Großteil der hohen Pulsströme wurden auf einem Stecker geführt, restliche Signale auf dem anderen Stecker.

6.1.4 Produktion

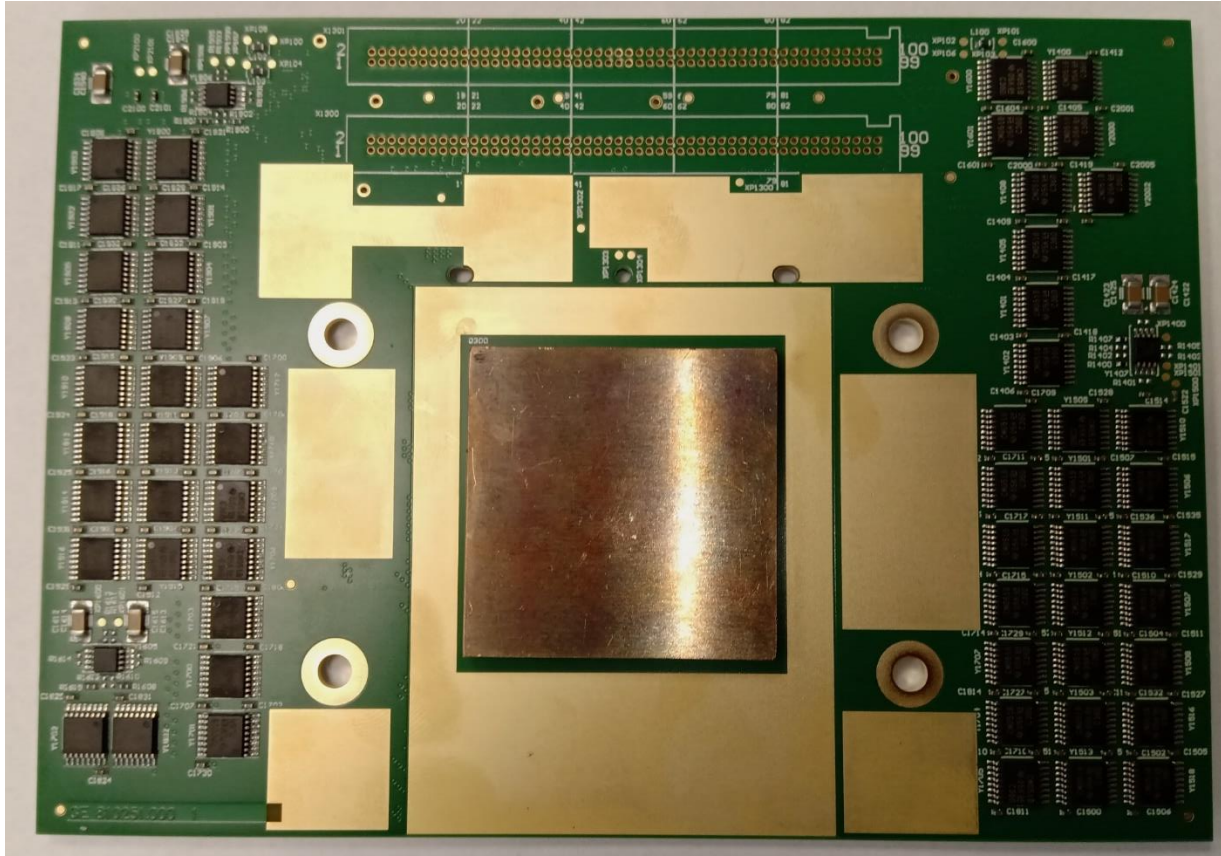


Abbildung 38: D(TR), 1. Musterstand

Bei der Produktion des D(TR) kam es zu Problemen. Zunächst zeigte sich, dass die PowerSiP vonseiten der Projektpartner größtenteils bereits mit Kühlkörpern („Lid“) versehen waren. Diese sind mit einigen wenigen Ausnahmen aus Kupfer und dadurch schwer. Es bestand die Sorge, dass beim Reflow-Löten des Aufbaus die Balls plattgedrückt werden und es dadurch zu Kurzschlüssen kommen könnte. Durch Messungen an den Heizwiderständen konnte diese Befürchtung nicht bestätigt werden, vielmehr wurde gar keine leitende Verbindung über den Heizelementen gemessen. Die Vermutung war, dass die Balls die zum Löten nötige Temperatur nicht erreichten. Auch ein wiederholtes Löten mit längerem Erhitzen zeigte keine Änderung. Es wurde daher entschieden, die Chips mit Kühlkörper zurückzustellen und sich auf die nackten Chips mit Die und Interposer zu konzentrieren. Die Ergebnisse waren hier deutlich besser, aber immer noch nicht perfekt. Bei einer Messung der Heizwiderstände waren ca. 2/3 im normalen Bereich. Auffällig war, dass der Rest größtenteils niedriger war als der erwartete Wert, nicht höher. Es kam jedoch zu keinen harten Kurzschlüssen, die zusätzliche Verbindung zwischen den Balls (etwa durch eine Art Whiskers) hätte im Bereich 20-50 Ohm liegen müssen. Wir konnten uns dieses Verhalten nicht erklären. Es wurden Versuche mit langsameren Lötvorgängen unternommen, die jedoch keine Verbesserungen erzielten.

Heating Element Resistances (normal value 50 Ohm)				
Board Cell	PowerSiP with Lid reflow profile 0,38m/min	PowerSiP H18, lidless reflow profile 0,38m/min	PowerSiP H04, lidless reflow profile 0,33m/min	PowerSiP H11, lidless reflow profile 0,29m/min
1	45,6	51,0	34,0	49,8
2	50,0	47,2	50,8	43,6
3	59,6	44,4	27,4	18,4
4	75,7	37,0	44,0	12,8
5	50,1	49,0	50,8	17,0
6	53,9	50,6	46,6	37,2
7	No Connection	29,8	49,8	49,2
8	No Connection	50,2	50,0	48,2
9	No Connection	31,2	50,0	21,4
10	62,7	24,2	50,8	28,6
11	No Connection	50,4	26,4	48,8
12	No Connection	49,8	49,8	49,2
13	No Connection	49,8	41,0	No Connection
14	No Connection	50,0	No Connection	47,2
15	27M	50,8	38,8	35,0
16	No Connection	50,4	47,2	21M
17	No Connection	49,8	49,8	46,6
18	No Connection	49,6	50,0	50,0
19	5,6k	49,8	50,2	No Connection
20	147,7	50,6	29,0	50,2
21	50,4	49,4	50,4	50,0
22	147,2	50,0	50,6	No Connection
23	147,2	No Connection	51,0	No Connection
24	147,3	50,4	50,8	33k
25	50,3	46,0	49,8	2,7M

Abbildung 39: D(TR), 1. Musterstand, Widerstände der Heizelemente (normal 50 Ohm), akzeptable Zellen Grün markiert

Es wurden drei Boards (ohne Lid) an den Projektpartner Boschmann geliefert, um dessen Undermoulding-Prozess für den D(TR) zu verifizieren. Dieser stellte bei seinen Untersuchungen fest, dass die D(TR) z.T. schräg aufgelötet waren (Höhendifferenz zwischen den Balls bis zu 173µm). Es zeigte sich eine deutliche Korrelation zwischen der Schräge und der Güte der Heizelement-Messungen. Des weiteren wurden Röntgenaufnahmen der Balls gemacht. Die Bilder zeigen nur ein paar wenige harte Kurzschlüsse, aber einige nicht verbundene Balls. Es wurde außerdem eine zerstörende Probe gemacht, bei der das PCB vom Interposer abgezogen wurde. Es zeigte sich, dass viele Balls nicht verbunden waren, da es zu Pillow Failures kam. Diese treten größtenteils dort auf, wo die PowerSiP höher ist. Das anscheinende Auftreten von Verbindungen zwischen den Balls konnte dadurch nicht erklärt werden. Der Projektpartner Bosch wies jedoch darauf hin, dass die Lötstopöffnungen der Interposers-Pads noch zu groß seien; die Änderung im 2. Batch der PowerSiP würde das Problem möglicherweise beheben.

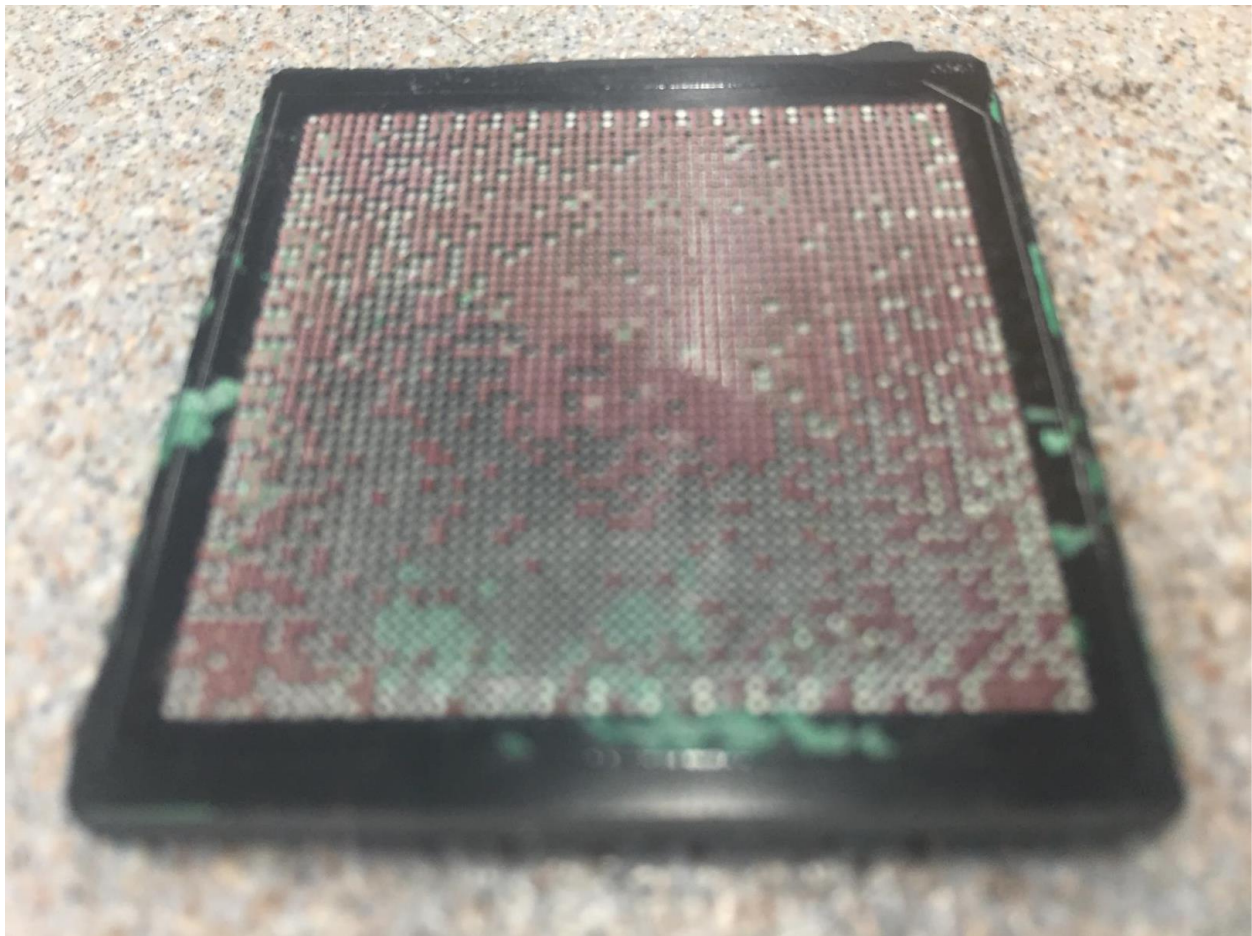


Abbildung 40: PowerSiP nach zerstörender Separierung von dem PCB

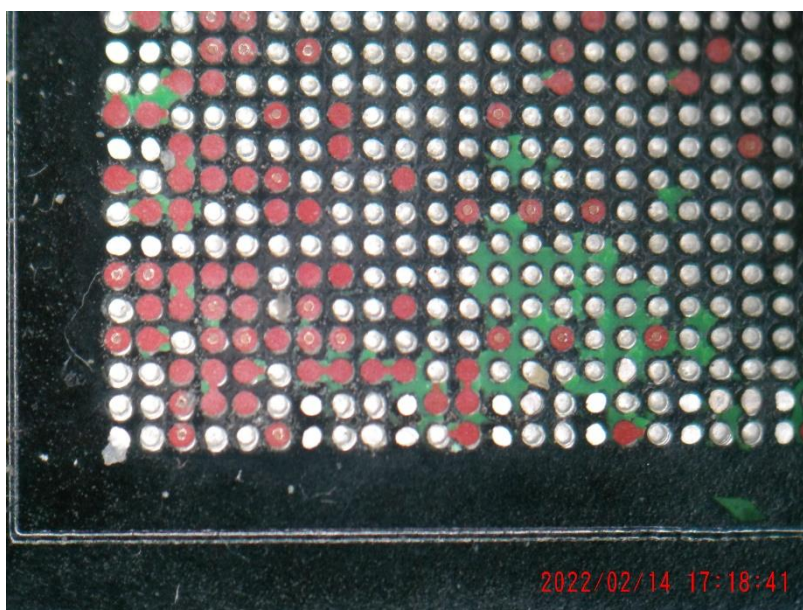


Abbildung 41: PowerSiP nach zerstörender Separierung von dem PCB

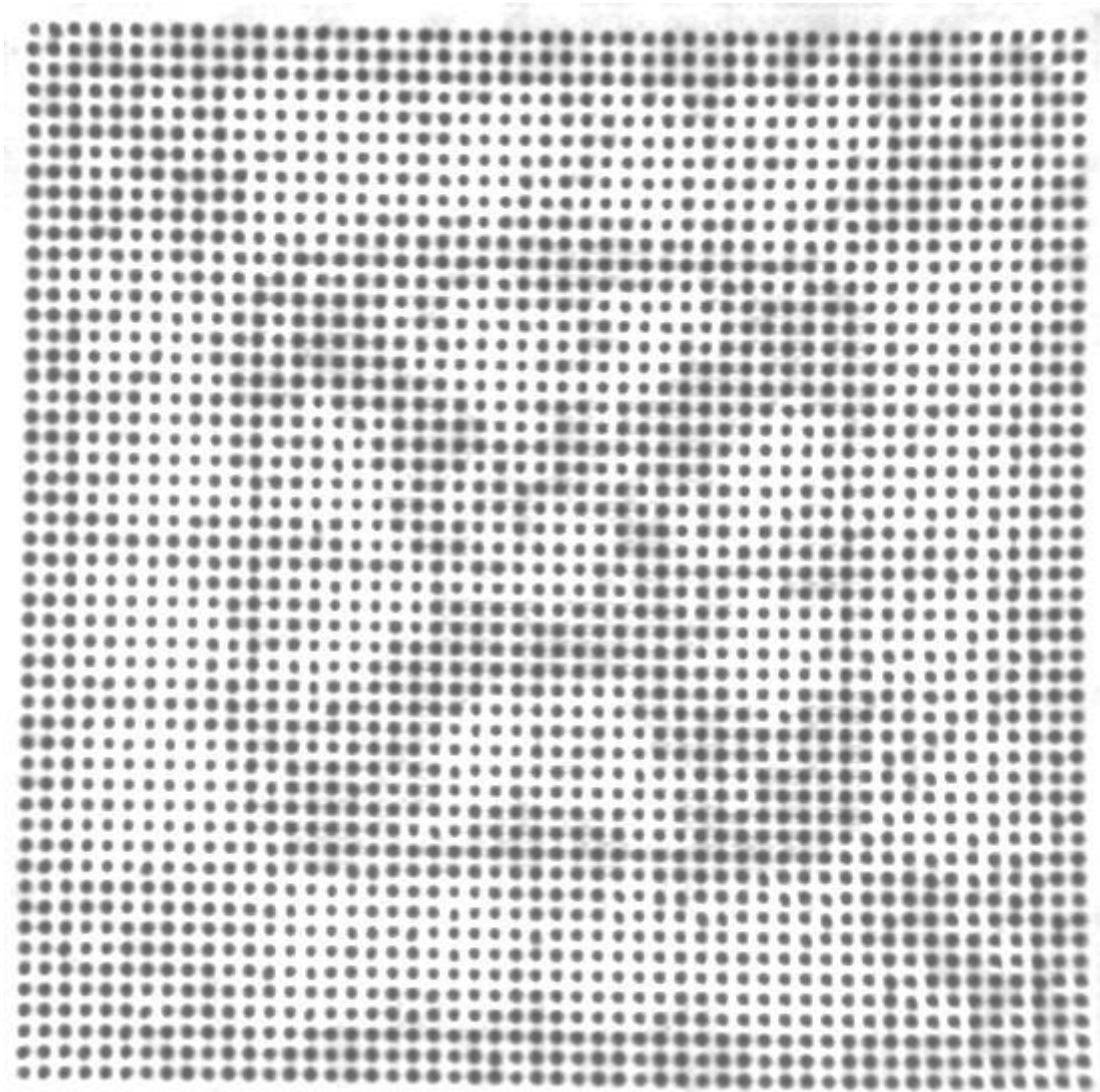


Abbildung 42: PowerSiP auf PCB, Röntgenaufnahme

6.1.5 Redesigns

Beim zweiten Musterstand des D(TR) fiel die Anforderung der mechanischen Sensoren auf der PowerSiP weg, da diese seitens der Projektpartner nicht realisiert werden konnten. Der eingesparte Platz wurde verwendet, um unter anderem die Anbindung der Temperatursensoren zu verbessern. Der Strompfad durch diese ist jetzt nicht mehr in Serie, sondern jeweils einzeln. Dadurch kann ein höherer Strom gefahren werden, was zu einer höheren Messspannung führt. Es wurde die Möglichkeit eingeführt, diesen Strom direkt auf dem D(TR) zu messen. Außerdem wurde das Pinout der Stecker verändert, vor allem wurden mehr Pins für Heizströme vorgesehen. Dies erforderte ein Redesign der AQU, siehe den nächsten Punkt. Die Entscheidung über diese und folgende Änderungen musste von Glück

Abbildung 43: Schaltplan D(TR) Musterstand 2, Temperaturmessung

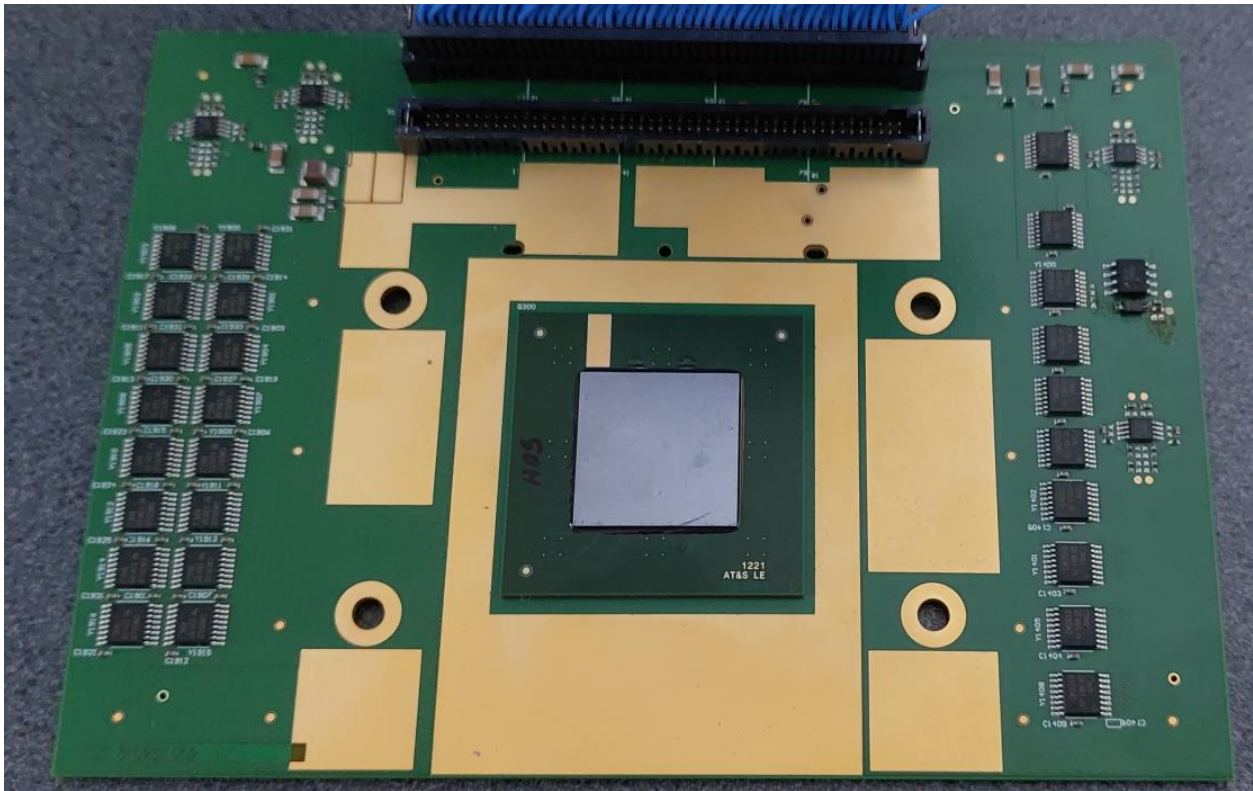


Abbildung 44: D(TR), Musterstand 2

Im dritten Musterstand wurden die Verstärkerschaltungen noch verbessert. Außerdem wurden auf dem PCB die BGA-Pads modifiziert. Diese wurden ursprünglich von Bosch vorgegeben, wobei es aber zu einem Missverständnis in der Kommunikation kam. Große Änderungen waren nicht mehr erforderlich.

Alle für den 3. Musterstand verwendeten PowerSiP wurden ohne Kühlkörper(Lid) geliefert, sodass diese Fehlerquelle ausgeschlossen werden konnte. Beim Löten des 3. Musterstands wurden Experimente mit verschiedenen Reflow-Profilen sowie Dampfphasenlöten und mit verschiedenen Pastenschablonendicken durchgeführt.

Abschlussbericht Penta HiPer

Board Cell	Heating Element Resistances (normal value 50 Ohm)									
	2-52 Reflow 0,38m/min SAC Solder Stencil 100um	2-51 Reflow 0,33m/min SAC Solder Stencil 100um	2-53 Vapor Phase SAC Solder Stencil 100um	2-64 Vapor Phase SAC Solder Stencil 100um	2-65 Vapor Phase SAC Solder Stencil 120um	2-98 Vapor Phase Low Melt Solder Stencil 120um	2-95 Vapor Phase Low Melt Solder Stencil 120um	2-92 Vapor Phase Low Melt Solder Stencil 100um	2-93 Vapor Phase Low Melt Solder Stencil 100um	2-96 Reflow LMS Low Melt Solder Stencil 100um
1	55,7	60,1	57,4	61,7	61,4	83,9	61,4	58,9	60,4	60,4
2	55,9	63,1	57,5	61,3	61,1	55,8	61,4	59	60,5	60,5
3	56,2	59,9	57,9	61,1	60,9	55,7	61,4	59,3	44,4	61,4
4	56,8	30k	58,3	61,1	61	55,9	61,4	59,9	29,9	61,7
5	57,1	60,1	58,2	60,7	60,7	55,7	60,9	60	25,1	61,7
6	56	60,3	57,1	61,7	61,7	56,2	61,3	58,9	60,5	60,4
7	55,7	59,8	57,3	61,2	61,2	55,8	51,8	79,2	60,7	60,7
8	56,2	60	57,9	60,9	60,9	55,3	61,3	55,3	47,5	61,2
9	136,5	59,8	69,4	60,8	60,7	55,5	61	59,6	60,2	61,4
10	56,9	60,1	58,4	60,8	60,9	55,8	60,7	60,1	36,6	61,6
11	55,9	60,3	56,9	61,6	61,7	56,3	61,1	58,8	60,4	60,2
12	55,7	61,5	57,1	61	61,1	55,8	61	58,7	60,7	60,5
13	55,8	59,5	57,4	60,5	60,7	55,4	60,8	58,6	73,9	60,8
14	79,9	No Connection	57,8	60,5	60,7	55,6	63,8	59,5	61,4	61,2
15	84,7	59,8	58	60,4	60,7	55,7	60,5	59,9	61,5	61,3
16	55,6	60,3	57	61,5	61,6	56,2	60,9	58,5	68,7	60
17	No Connection	268,2	57,1	60,9	61,1	55,8	86	58,5	60,6	No Connection
18	1590	No Connection	57,6	60,5	60,9	55,7	60,8	59	61,1	No Connection
19	56,3	No Connection	57,8	60,3	60,8	55,5	60,7	59,4	61,4	No Connection
20	71,5	No Connection	58	60,1	60,7	55,6	60,3	59	61,6	60,6
21	55,5	62,5	61,1	61,2	61,6	56,2	60,6	58,3	68,2	59,8
22	55,7	No Connection	57,4	61	61,5	56,2	60,8	58,5	60,9	No Connection
23	No Connection	No Connection	57,5	60,5	61,1	55,9	60,3	72	61,2	77,4
24	105,7	No Connection	84,5	60,2	60,5	55,7	60,5	88,6	61,5	138
25	No Connection	64,5	47,2	59,8	60,8	55,5	25,9	59,7	61,5	No Connection

Abbildung 45: D(TR), 3. Musterstand, Widerstände der Heizelemente (normal 60 Ohm), akzeptable Zellen Grün markiert

Da das Dampfphasenlöten das beste Ergebnis erzielte, wurden die übrigen Boards ebenfalls so gelötet. Es wurden 57 Boards mit SAC gelötet und 20 Boards mit LMS. Diese wurden an Bosch ausgeliefert.



Abbildung 46: D(TR), 3. Musterstand

6.2 AQU

Die D(TR) Acquisition Unit AQU wurde zunächst in enger Zusammenarbeit mit Bosch und auf Basis eines dort entwickelten Vormodells entworfen. Ab dem Musterstand 2 allerdings musste das weitere Design wie schon bei dem D(TR) von Glück übernommen werden.

6.2.1 Konzept

Die AQU verfügte im ersten Musterstand über folgende Funktionsgruppen:

- Spannungsversorgung für +-15V, +-5V, +-2,5V, 3,3V
- ESP32 Devkit C V4 Modul (zum Einstecken) für die Steuerung der Funktionen und als Schnittstelle nach außen
- 2 Schieberegister mit jeweils 32 Bit Ausgang für die Steuerung der Multiplexer auf AQU und D(TR)
- Pulsstromquelle für die Ball/Bump-Widerstandsmessungen auf dem D(TR)
- Heizstromschalter (low side) mit Treiber-IC
- Heizstromshunts mit Multiplexer und Verstärker zum Messen des Heizstroms einer bestimmten Zelle auf dem D(TR)
- Eingangsverstärker und Multiplexer für alle Messsignale vom D(TR) (Daisy Chains, Single Bumps/Balls, Stresssensoren Typ 1 und Typ 2, Heizspannung, Temperatursensoren
- ADC für Messsignale
- Konstantstromquelle für Temperatursensoren und Stresssensoren Typ 1 und Typ 2
- IForce-Acquisition Unit, dieser Teil wurde von einer früheren Bosch-Baugruppe direkt übernommen.
- Steckerverbinder zum D(TR)

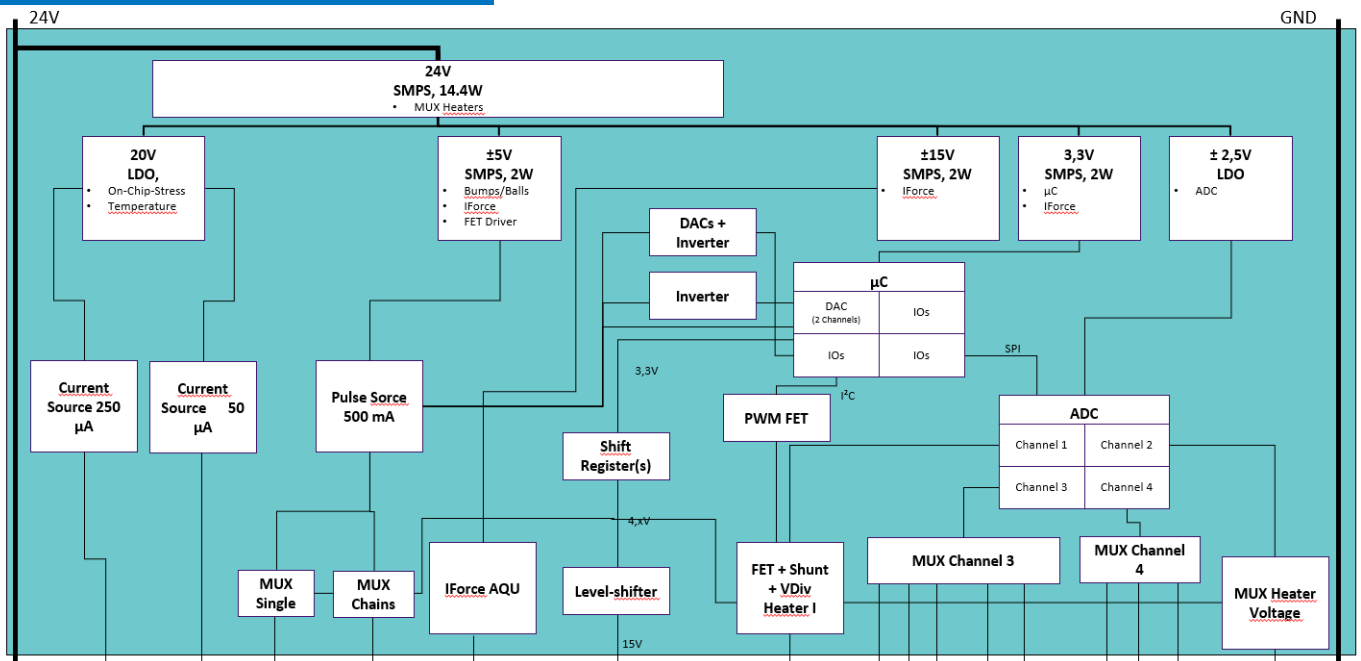


Abbildung 47: AQU Systemkonzept (frühes Stadium)

6.2.2 Schaltplan

Der Schaltplan für die AQU wurde zunächst relativ direkt von Bosch übernommen. Ausnahmen waren die Spannungsversorgung (hier wurde eine kostengünstigere Lösung auf Basis bestehender GIE-Projekte vorgesehen) und die Pulsstromquelle, welche eine komplette Eigenentwicklung ist. Zudem wurden vielfältige Möglichkeiten vorgesehen, um Fehlersuchen durchzuführen und Fehler ohne komplettes Redesign zu korrigieren.

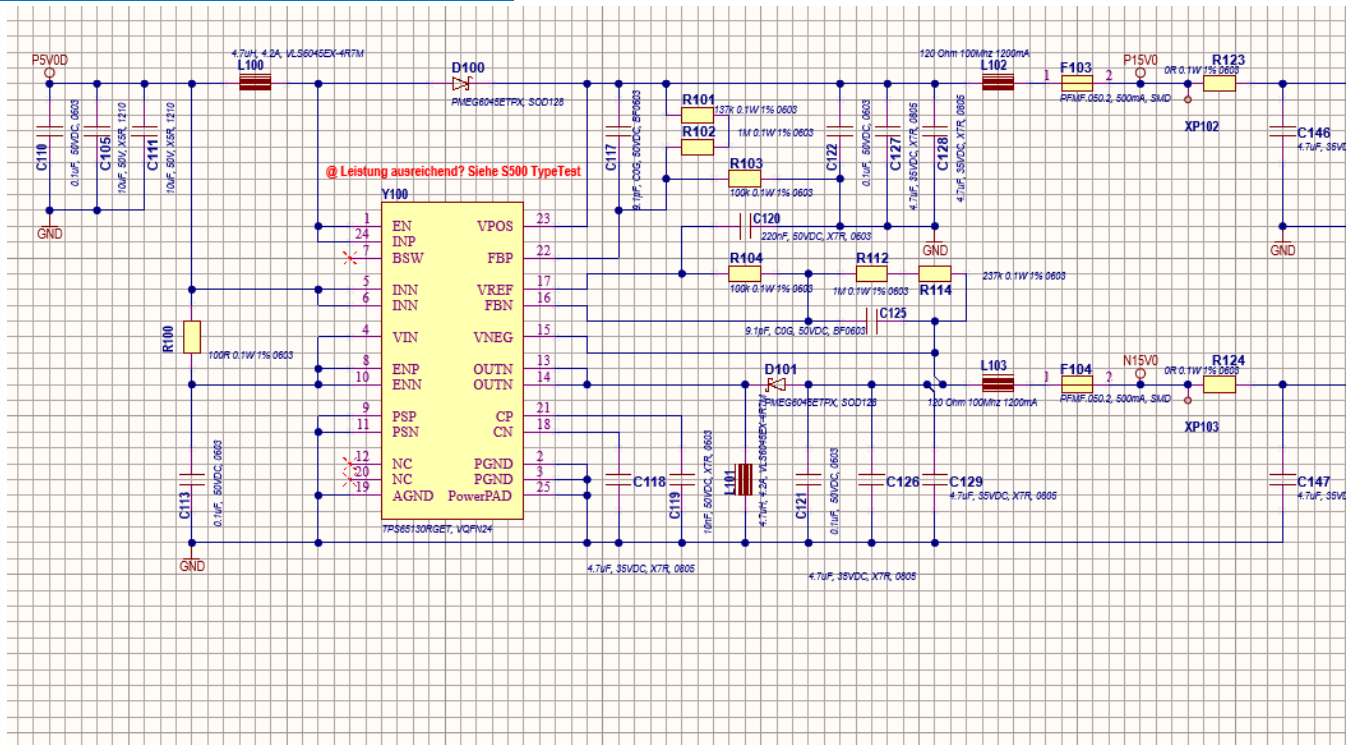


Abbildung 48: Spannungsversorgung für +15V, Schaltplan

6.2.3 PCB

Die Funktionen der AQU stellten keine besondere Herausforderung dar und wurden auf einem 6L-PCB in Standard-Technologie realisiert. Es wurden 3 Boards zum Test gebaut.

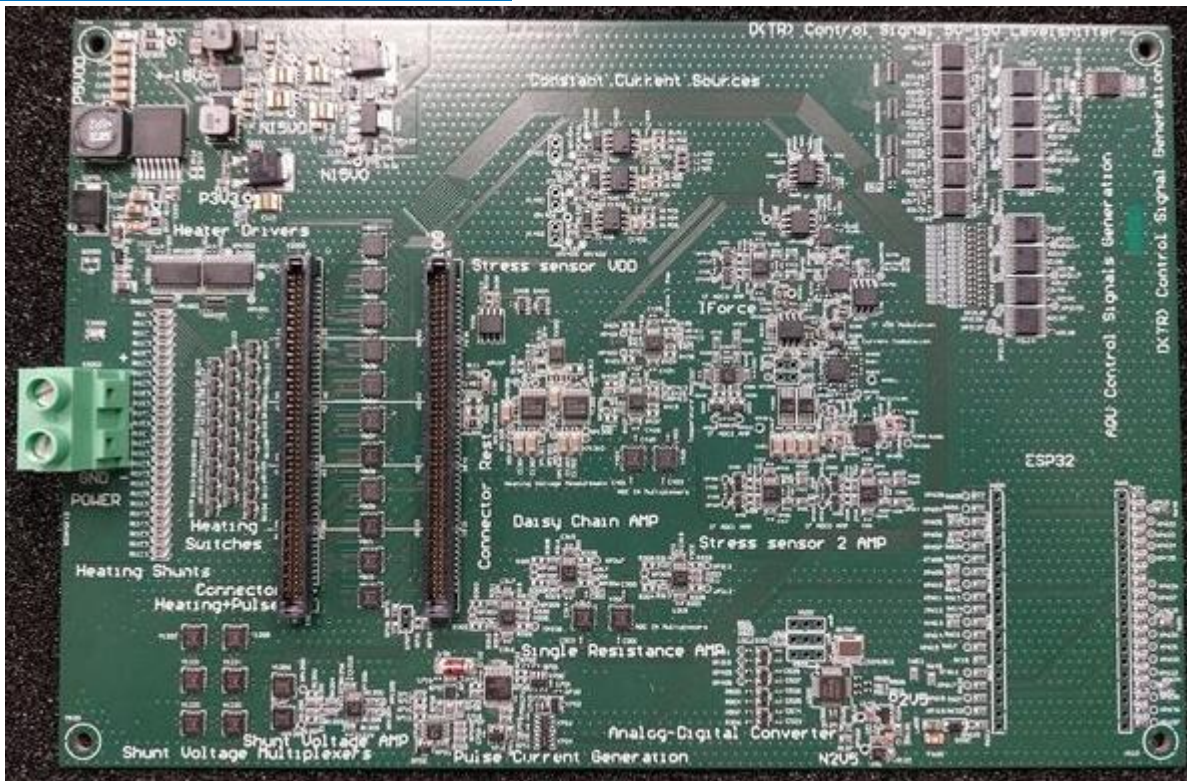


Abbildung 49: AQU, 1. Musterstand

Die Inbetriebnahme der AQU wurde gemeinsam mit Bosch aber unter Leitung von Glück vorgenommen. Dabei wurden einige Fehler festgestellt, von denen aber keiner gravierend oder schwer zu beheben war. Erwähnenswert ist vor allem die Spannungsversorgung, die einem anderen Glück-Projekt entnommen war und aus unklaren Gründen für -15V nicht funktionierte (Ausgang 0V). Sie wurde für die Inbetriebnahme überbrückt und extern eingespeist.

Issue-Tracker / Fehlerprotokoll D(TR) AQU

Baugruppe	Teilenummer/ Zeichnungs-nummer	Testumgebung	Fehler	Lösung/ Information
HiPer D(TR) AQU	860255.010	Bosch Labor	N15V0 Regler fehlerhaft (Ursache unklar)	
HiPer D(TR) AQU	860255.010	Bosch Labor	P/N15V0 vmt. Unterdimensioniert	
HiPer D(TR) AQU	860255.010	Bosch Labor	Ideale Diode (Q2000) nicht für Betriebsspannung ausgelegt	Anderer Transistor
HiPer D(TR) AQU	860255.010	Bosch Labor	Pullup ADC Dout fehlt	einbauen, PD entfernen
HiPer D(TR) AQU	860255.010	Bosch Labor	Iforce Signale nicht verbunden zu Stecker	
HiPer D(TR) AQU	860255.010	Bosch Labor	R726 bestückt	
HiPer D(TR) AQU	860255.010	Bosch Labor	R116 nicht bestückt	
HiPer D(TR) AQU	860255.010	Bosch Labor	Y1206/1207 A2 GND statt 5V	
HiPer D(TR) AQU	860255.010	Bosch Labor	I2C Levelshifter Y600 VREF2 falsch versorgt (keine 200k)	
HiPer D(TR) AQU	860255.010	Bosch Labor	Keine Power LEDs	
HiPer D(TR) AQU	860255.010	Bosch Labor	Y700 Eingang floating	
HiPer D(TR) AQU	860255.010	Bosch Labor	D702 falsch geschaltet	
HiPer D(TR) AQU	860255.010	Bosch Labor	Heating driver SCL und SDA getauscht	
HiPer D(TR) AQU	860255.010	Bosch Labor	Heating driver Adresse falsch interpretiert->Überschneidung mit Pulse Dac	
HiPer D(TR) AQU	860255.010	Bosch Labor	TPs bessser THT	
HiPer D(TR) AQU	860255.010	Bosch Labor	Y700, Y701 über Toleranz versorgt	Ersetzt
HiPer D(TR) AQU	860255.010	Bosch Labor	HV- Eingang an OP schwingt	C1318 bestückt
HiPer D(TR) AQU	860255.010	GIE Labor	Pulse 3V Ref zeigt nur 0,7V an Bauteil falsch angelegt	
HiPer D(TR) AQU	860255.010	GIE Labor	Pulsquelle hat periodische Störungen mit 370 kHz, oszillation mit 10Mhz	Redesign oder ignorieren

Abbildung 50: AQU 1. Musterstand, Fehlerprotokoll

Beim Redesign auf den 2. Musterstand der AQU wurden die Fehler behoben. Die Spannungsversorgung für +-15V wurde komplett geändert. Entsprechend D(TR) Version 2 wurde die Steckerbelegung für die Verbindung zum D(TR) geändert und die Funktionalität für IForce- und mechanische Sensoren entfernt. Aus Gründen der Bauteilverfügbarkeit (bedingt durch die Corona-Pandemie und dadurch gestörte Lieferketten) musste der ADC ersetzt werden. Außerdem wurden die Pulsstromquelle und die Konstantstromquelle für die Temperatursensoren mit einer Möglichkeit zur Strommessung versehen. Es wurden 5 Boards zum Test gebaut.

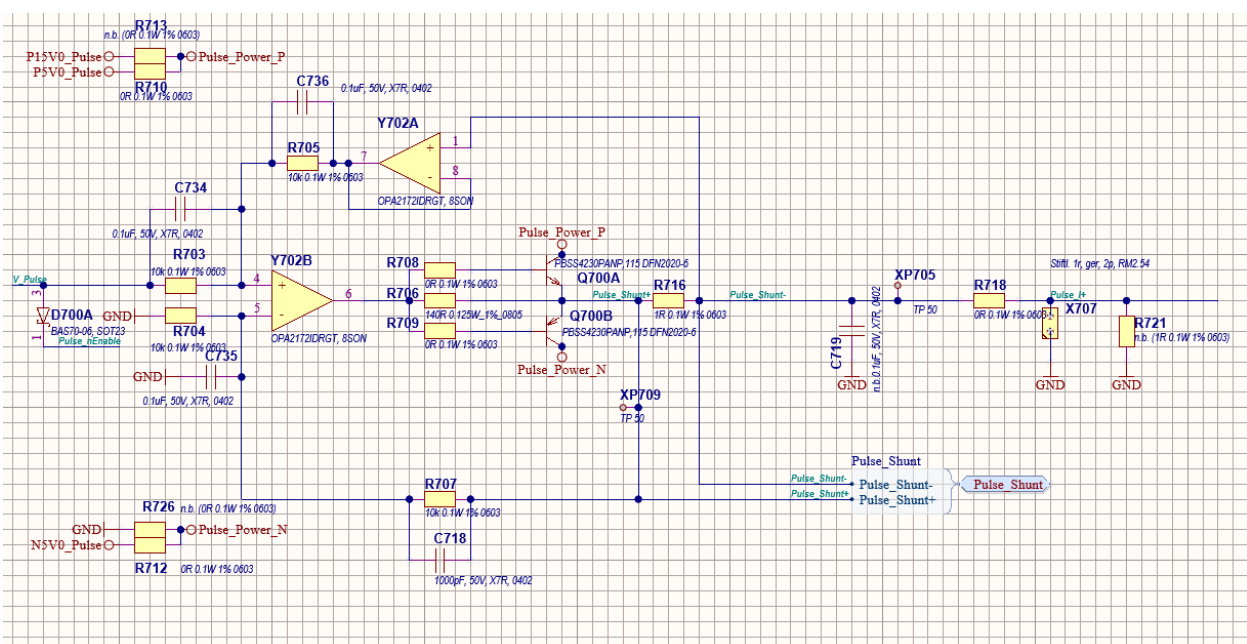


Abbildung 51: AQU Pulsstromquelle, 2. Musterstand

Abschlussbericht Penta HiPer

Bei der Inbetriebnahme des 2. Musterstands wurden wiederum kleinere Fehler festgestellt, die beim Redesign auf einen 3. Musterstand behoben wurden. Von diesem Stand wurden 25 Stück gebaut und an den Projektpartner Bosch ausgeliefert.

Issue-Tracker / Fehlerprotokoll D(TR) AQU V2

Baugruppe	Teilenummer/ Zeichnungs-nummer	Testumgebung	Fehler	Lösung/ Information
HiPer D(TR) AQU V2	860255.011	GIE Labor	Pulse Source funktioniert nicht Y702 falsch versorgt	Redesign
HiPer D(TR) AQU V2	860255.011	GIE Labor	Pulse Shunt Messung kann nicht funktionieren ohne Impedanzwandler	Stattdessen Spannungsteiler direkt auf Eingang ADC
HiPer D(TR) AQU V2	860255.011	GIE Labor	HV1- wird nicht durch MUX geleitet MUX fehlerhaft? -> bei anderen Baugruppen testen	Entfernung von C1318, C1315, C1319, dadurch bei Spannungsniveaus über 8V gutes Verhalten.
HiPer D(TR) AQU V2	860255.011	GIE Labor	ADC kann maximal 2,5V Spannungshub aufnehmen, nicht 5V	Überbrücken
HiPer D(TR) AQU V2	860255.011	GIE Labor	F2000 bricht beim Einschalten	Tauschen der Eingänge an V_Pulse MUX
HiPer D(TR) AQU V2	860255.011	GIE Labor	Puls ist normal an (Pulse_Ctrl auf GND) dadurch unter Umständen beim Einschalten hohe Ströme (Ausgang DAC Standard ~2V)	Entfernung aller Caps
HiPer D(TR) AQU V2	860255.011	GIE Labor	Pulse DAC Ausgang schwingt	Entfernung von C736

Abbildung 52: AQU 2. Musterstand, Fehlerprotokoll

Beim Systemdesign mussten die Verstärkungen auf D(TR) und AQU so abgestimmt werden, dass sie auf dem ADC gut messbar waren. Es wurde versucht, das Spannungslevel auf der Verbindung zwischen D(TR) und AQU möglichst hoch zu wählen, um den Einfluss von Störungen zu verringern.

Measurement	Measurement Current [A]	Measured Resistance [R] (typical)	Measured Voltage [V] (typical)	Amp factor on D(TR)	Amp factor on AQU	Amp factor in ADC	Amplification factor total	Voltage on ADC (typical)
Temperature sensor current (D(TR))	0,000715	1000	0,715	16,1290323	0,08333333	1	1,344086022	0,961
Temperature sensor current (AQU)	0,000715	1000	0,715	1	0,12765957	8	1,021276596	0,730
Temperature sensor voltage	0,000715	11000	7,865	2	0,08333333	1	0,166666667	1,311
Single resistance voltage	0,2	0,05	0,01	207,916667	0,08333333	1	17,32638889	0,173
Daisy chain voltage	0,2	1	0,2	49,9	0,08333333	1	4,158333333	0,832
Pulse current	0,2	1	0,2	1	0,12765957	32	4,085106383	0,817
Heating current	0,4	0,15	0,06	1	1	16	16	0,960
Heating voltage	-	-	24	1	0,062	1	0,062	1,488

Abbildung 53: Spannungen und Verstärkungen in der Kette D(TR) zu AQU, 3. Musterstand

6.3 Software

D(TR) und AQU werden von dem uC-Board (ESP32 DevkitC V4) gesteuert, die Messdaten aufgenommen und an einen PC übertragen. Die dazu nötige Software sollte eigentlich von Bosch entwickelt werden. Da allerdings der davor vorgesehene Ingenieur bei Bosch die Firma im Sommer 2021 verließ wurde die Software teilweise von Glück entwickelt. Bis April 2022 war bei Bosch ein Werkstudent angestellt, der grundlegende Funktionen der Software implementierte. Danach wurde die Entwicklung aufgeteilt: PC-Software zur Übernahme der Daten und Ablegen in ein Datenbanksystem blieb bei Bosch, Software für das uC-Board

wurde größtenteils von Glück durchgeführt. Da bei Glück kein Software-Spezialist für diese Aufgabe verfügbar war, erfolgte die Entwicklung iterativ und in Begleitung der Inbetriebnahme. Die Entwicklung erfolgte mit der Arduino IDE in der Sprache C++

Die Software muss verschiedene Funktionen umsetzen, wobei die Steuerung über serielle Schnittstelle mithilfe der Konsole der Arduino IDE erfolgt. Dazu muss die Software alle mit dem uC verbundenen Bausteine auf der AQU ansteuern, Messdaten auslesen und an den PC zurück übermitteln.

Die Funktionen sind dabei getrennt in einfache, bauteil- oder funktionsgruppenspezifische Funktionen, um diese Bauteile oder Funktionsgruppen zu testen, sowie größere, anwendungsspezifische Funktionen. Zu den ersteren zählen:

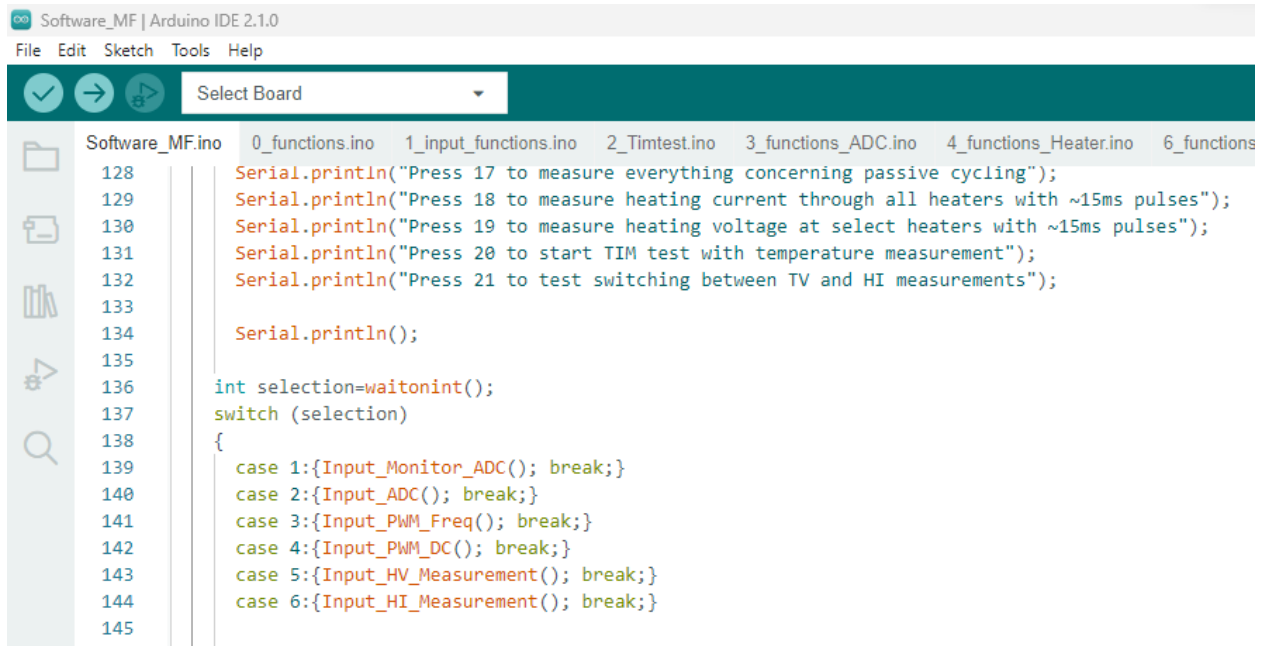
- Steuerung und Auslesen des ADC
- Steuerung der Heizströme für den D(TR)
- Steuerung der Control-Pins für Multiplexer
- Steuerung der Pulsstromquelle

Zu den Anwendungen, die die Software umsetzen soll, zählen die Durchführung verschiedener Messungen in vorgegebenen Zyklen. Dabei werden die genannten Funktionen kombiniert und in entsprechenden zeitlichem Ablauf durchgeführt. Konkret umgesetzt wurden

- Das Messen aller Widerstände (Single Bumps/Balls und Daisy Chains) und aller Temperatursensoren während eines passiven Temperaturzyklus
- Das Messen der Temperatur während eines kurzen Heizpulses zwecks Test des TIM (thermal interface material).

Aus Zeitgründen wurde während des Projektzeitraums kein aktives Cycling der Baugruppen bei den Projektpartnern unternommen. Falls die Partner dieses nach dem eigentlichen Projektzeitraum tun wollen, müssen sie die entsprechende Funktion selbst umsetzen. Die Software wurde für diesen Zweck sinnvoll dokumentiert und an die Projektpartner übermittelt.

Abschlussbericht Penta HiPer



```
Software_MF.ino  0_functions.ino  1_input_functions.ino  2_Timtest.ino  3_functions_ADC.ino  4_functions_Heater.ino  6_functions
128 Serial.println("Press 17 to measure everything concerning passive cycling");
129 Serial.println("Press 18 to measure heating current through all heaters with ~15ms pulses");
130 Serial.println("Press 19 to measure heating voltage at select heaters with ~15ms pulses");
131 Serial.println("Press 20 to start TIM test with temperature measurement");
132 Serial.println("Press 21 to test switching between TV and HI measurements");
133
134 Serial.println();
135
136 int selection=waitonint();
137 switch (selection)
138 {
139     case 1:{Input_Monitor_ADC(); break;}
140     case 2:{Input_ADC(); break;}
141     case 3:{Input_PWM_Freq(); break;}
142     case 4:{Input_PWM_DC(); break;}
143     case 5:{Input_HV_Measurement(); break;}
144     case 6:{Input_HI_Measurement(); break;}
145 }
```

Abbildung 54: AQU Software, manuelle Steuerung vom PC

```
73 void Setup_Temp_Sensor(int Cell, int Type)//Sets up multiplexer control !
74 {
75     int Channel=Cell;
76     if (Type==2)
77     {
78         switch(Channel)//type 2 sensors coded into variable "cell"
79         {
80             case 1: {Channel=26; break;}
81             case 5: {Channel=27; break;}
82             case 21: {Channel=28; break;}
83             case 25: {Channel=29; break;}
84             default:
85             {
86                 Type=1;
87                 Serial.println ("No type 2 sensor for this cell");
88                 break;
89             }//Type2 temp sensors only exist for Cells 1,5,21,25; in other case
90         }
91     }
92
93
94     int Temp_Lkup[29]={7,15,23,47,39,5,63,55,6,14,2,1,22,46,62,3,0,54,38,;
95     int Temp_SR_Lkup[6]={3,1,5,4,2,6}; //lookup table for the position of
96     int i;
97     for (i=0; i<6; i++)
98     {
99         if (Temp_Lkup[Channel-1]&(1<<i))
100         {sr1.set(Temp_SR_Lkup[i]-1, HIGH);}
101         else
102         {sr1.set(Temp_SR_Lkup[i]-1, LOW);}
103     }
```

Abbildung 55: AQU Software, Setup einer Temperaturmessung

6.4 Ergebnisse

Im Folgenden beispielhaft einige Messergebnisse, die mit dem System bestehend aus D(TR) und AQU (beide 3. Musterstand) und mithilfe der bei Glück entwickelten Software erzielt wurden. Es handelt sich hier um Nachweise der prinzipiellen Funktionsfähigkeit des Systems. Eine genauere Charakterisierung des Systems und die Interpretation der Messwerte obliegt den Projektpartnern.

Measurement: Heating Voltage	
Cell	Heating Voltage [V]
1	20,66
5	20,69
13	20,71
21	20,68
25	20,65

Abbildung 56: Messung der Heizspannungen (volle Heizleistung)

Ein Teil der Heizspannung (24V auf der AQU) fällt in Leitungen, Schaltern und Shuntwiderständen ab.

Measurement: Heating Current		
Cell	Heating Current Shunt Voltage [mV]	Heating Current [mA]
1	57,62	384,11
2	57,94	386,25
3	58,05	387,02
4	58,00	386,67
5	58,04	386,92
6	57,48	383,19
7	57,86	385,74
8	58,06	387,07
9	58,23	388,21
10	58,14	387,57
11	57,45	383,03
12	57,92	386,16
13	58,30	388,63
14	58,20	388,00
15	58,15	387,66
16	57,49	383,29
17	57,97	386,44
18	58,17	387,78
19	58,14	387,63
20	58,22	388,17
21	57,44	382,94
22	57,61	384,05
23	57,97	386,44
24	58,03	386,87
25	58,21	388,05

Abbildung 57: Messung des Heizstroms (volle Heizleistung)

Measurement: Temperature Sensors				
Cell	Sensor Type	Sensor Current[uA]	Sensor Voltage [mV]	Resistance [R]
1	1	715,73	8256	11535
2	1	715,74	8262	11543
3	1	715,74	8254	11532
4	1	715,72	8243	11517
5	1	715,72	8327	11634
6	1	715,70	8286	11577
7	1	715,70	8258	11538
8	1	715,69	8214	11477
9	1	715,70	8223	11489
10	1	715,70	8312	11614
11	1	-0,74	14208	n.C.
12	1	715,69	8211	11472
13	1	715,68	8202	11460
14	1	715,69	8242	11517
15	1	715,69	8327	11634
16	1	715,68	8242	11517
17	1	715,67	8214	11477
18	1	715,68	8217	11482
19	1	715,69	8241	11515
20	1	715,68	8257	11538
21	1	715,70	8268	11552
22	1	715,68	8210	11471
23	1	715,68	8222	11488
24	1	715,67	8249	11527
25	1	715,69	8266	11550
1	2	715,44	5349	7477
5	2	715,43	5344	7470
21	2	715,43	5376	7515
25	2	715,45	5341	7465

Abbildung 58: Messung der Temperatursensoren.

Gut erkennbar ist der Unterschied zwischen Sensoren Typ 1 und 2. Der Sensor von Zelle 11 ist offensichtlich fehlerhaft. Die prinzipielle Abhängigkeit des Temperatursensor-Widerstands von der Temperatur wurde nachgewiesen, die genaue Charakterisierung und Kalibrierung der Widerstände wurden den Projektpartnern überlassen.

Measurement: Single Bumps			
Bump	Measuring Current[mA]	Ball/Bump Voltage[uV]	Ball/Bump Resistance[mR]
1	201,67	19199	95,20
2	201,64	20311	100,73
3	202,01	31713	156,99
4	202,02	20666	102,30
5	201,93	19289	95,52
6	201,99	7982	39,52
7	201,97	15897	78,71
8	201,67	21066	104,46
9	202,13	23303	115,29
10	202,17	19249	95,21
11	201,96	18732	92,75
12	202,24	44689	220,97
13	202,43	21507	106,24
14	202,51	19633	96,95
15	202,11	31659	156,64
16	201,88	17767	88,01
17	201,66	22152	109,85
18	201,70	22550	111,80
19	201,71	27269	135,19
20	201,57	20155	99,99
21	201,87	20137	99,76
22	202,02	23402	115,84
23	201,94	18198	90,12
24	202,06	12804	63,37

Abbildung 59: Widerstandsmessungen von Single Bumps

Der Widerstand der Single Bumps bewegt sich in ähnlichen Größenordnungen, die Streuung ist aber trotzdem relativ groß.

Measurement: Single Balls			
Ball	Measuring Current[mA]	Ball/Bump Voltage[uV]	Ball/Bump Resistance[mR]
25	201,45	1330,94	6,6067
26	201,46	178,51	0,8861
27	201,48	173,67	0,8620
28	201,62	179,59	0,8907
29	201,46	1296,75	6,4367
30	201,38	202,00	1,0031
31	201,40	17993,64	89,3412
32	201,58	1287,80	6,3886
33	201,60	177,92	0,8825
34	201,44	184,77	0,9172
35	201,55	185,66	0,9212
36	201,57	1252,56	6,2139
37	201,55	1266,22	6,2823
38	201,68	194,86	0,9662
39	201,53	198,94	0,9872
40	202,06	180,71	0,8943
41	202,24	1275,01	6,3044
42	202,24	1224,09	6,0528
43	202,27	167,19	0,8265
44	202,20	172,85	0,8548
45	201,61	168,01	0,8334
46	201,42	187,74	0,9321
47	201,54	173,52	0,8609
48	201,49	174,91	0,8681
49	201,45	181,29	0,8999
50	201,44	180,40	0,8956
51	201,74	187,54	0,9296
52	201,81	175,57	0,8699
53	201,61	176,56	0,8758
54	201,85	173,28	0,8584
55	201,83	174,41	0,8641
56	201,93	166,72	0,8257

Abbildung 60: Widerstandsmessungen von Single Balls

Es fällt auf, dass sich die Widerstände der Single Balls um ~0,9mR und ~6,5mR clustern, eine genauere Untersuchung dieses Phänomens wurde den Projektpartner überlassen. Evtl. ist die Anbindung auf dem Interposer z.T. fehlerhaft, sodass ein Teil der Leitung mitgemessen wird.

Measurement: Bump Daisy Chains			
Daisy Chain	Measuring Current[mA]	Daisy Chain Voltage[μ V]	Daisy Chain Resistance[mR]
1	203,77	568,26	2788,67
2	204,32	592,49	2899,78
3	203,94	592,60	2905,76
4	209,89	592,15	2821,25
5	210,34	592,17	2815,31
6	204,41	592,51	2898,64
7	211,08	592,09	2805,08
8	203,51	486,93	2392,61
9	67,47	-0,13	n.C.
10	203,92	583,04	2859,24
11	203,94	592,52	2905,41
12	210,71	592,17	2810,30
13	171,25	591,37	3453,33
Measurement: Ball Daisy Chains			
Daisy Chain	Measuring Current[mA]	Daisy Chain Voltage[μ V]	Daisy Chain Resistance[mR]
14	201,56	20,70	102,72
15	201,66	22,35	110,83
16	201,62	22,48	111,48
17	202,00	21,07	104,33
18	201,63	16,10	79,86
19	201,70	50,04	248,10
20	201,47	15,86	78,72
21	201,57	15,80	78,37
22	201,71	47,39	234,94
23	201,55	15,64	77,60
24	201,57	15,01	74,44
25	201,80	47,76	236,68
26	202,17	15,41	76,20
27	202,20	16,04	79,35
28	202,01	48,05	237,86
29	201,46	15,90	78,91

Abbildung 61: Messung der Daisy-Chain-Widerstände.

Ball-Daisy-Chains haben den deutlich niedrigeren Widerstand und sind in 3 Werte geclustert, entsprechend der drei Längen der auf dem Board vorhandenen Daisy Chains. Eine Bump-Daisy-Chain ist in unklarer Weise fehlerhaft.

6.5 Integration

Glück unterstützte den Projektpartner Bosch bei der Integration von D(TR) und AQU in ein Messsystem, wobei einzelne oder mehrere Systeme betrieben wurden, z.T. in einer Temperaturkammer.

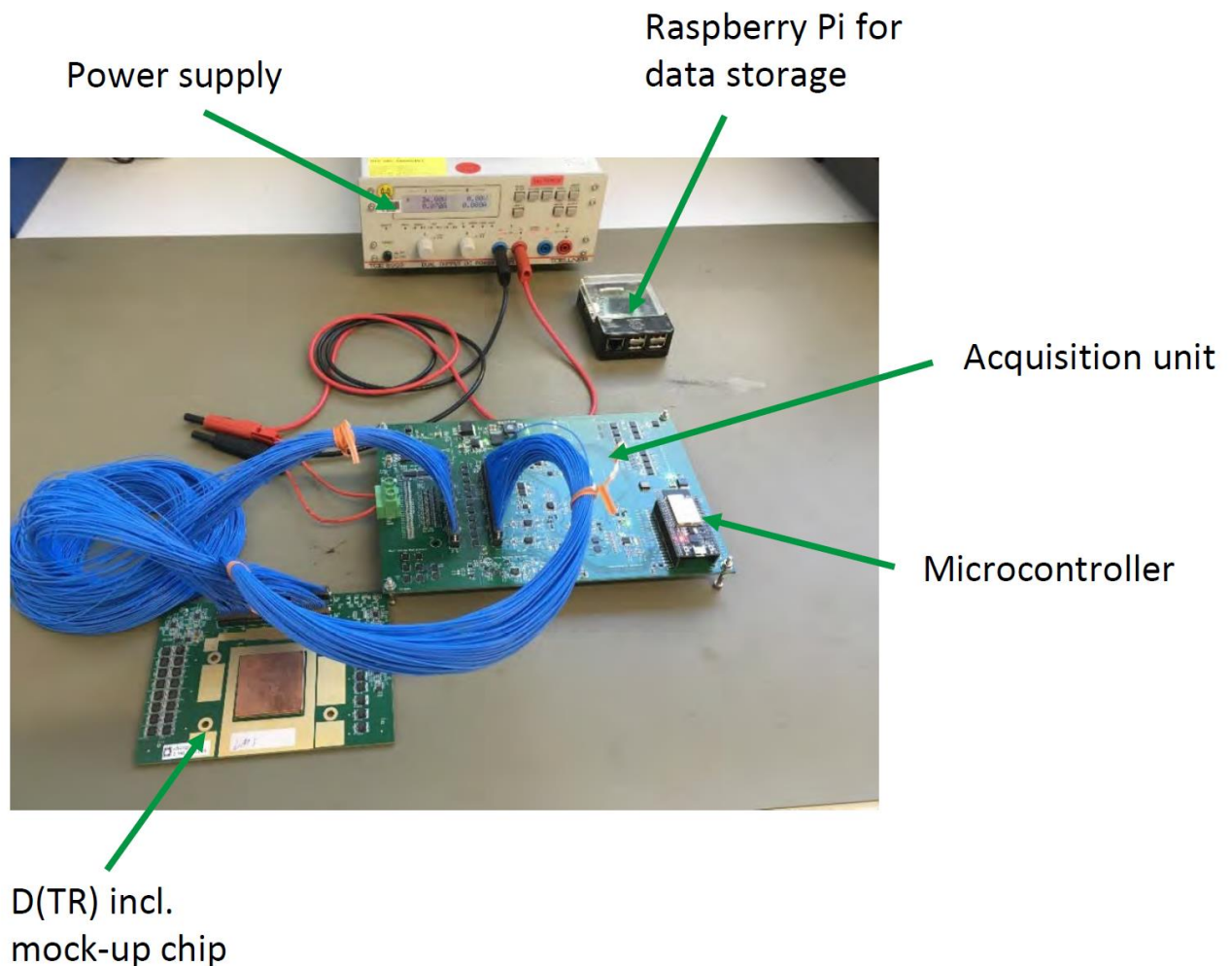


Abbildung 62: D(TR)+AQU im Testbetrieb



Abbildung 63: Mehrere D(TR) in einer Temperaturkammer für einen passive temperature cycling Test

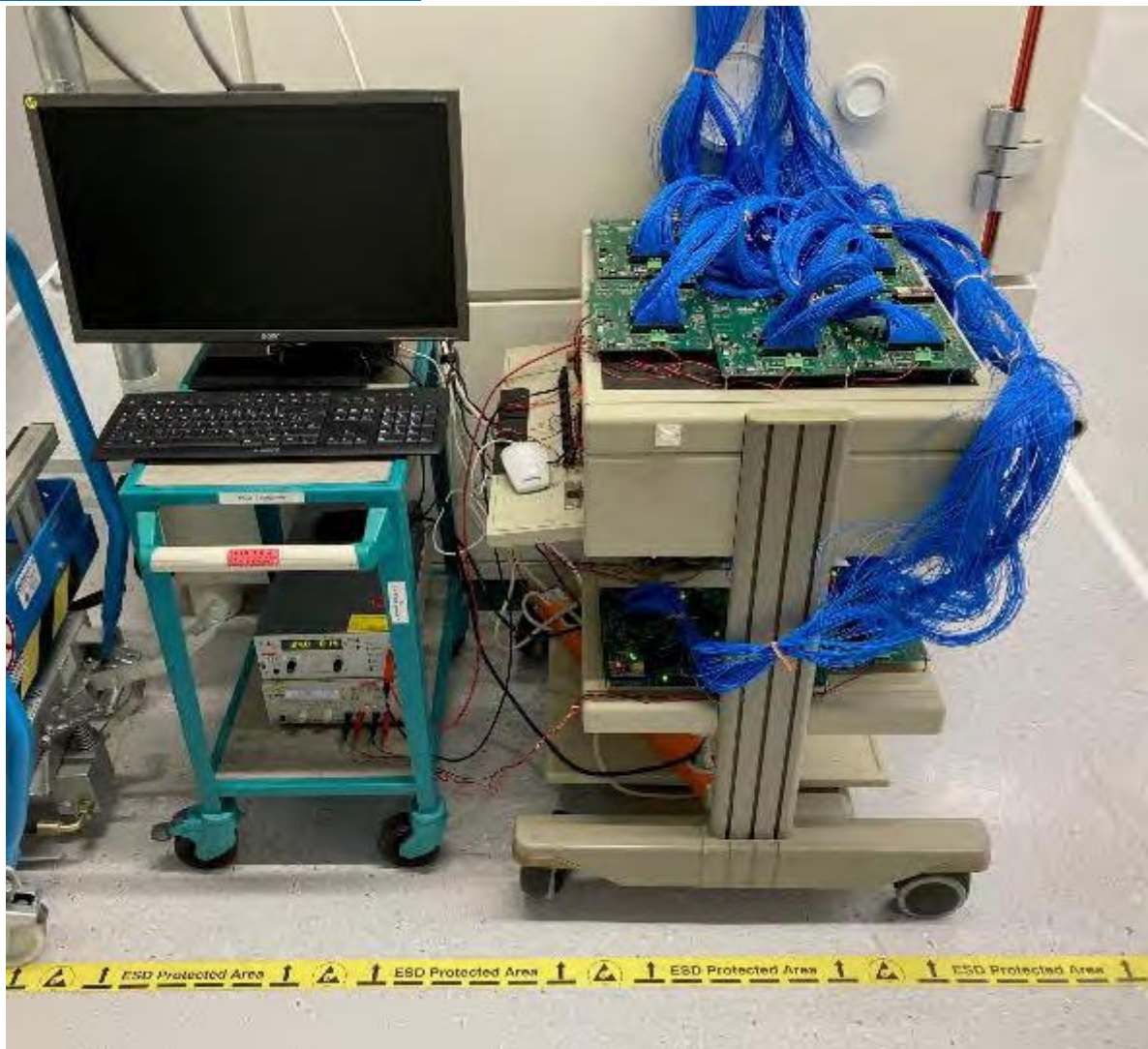


Abbildung 64: Die zugehörigen AQU

Zeichnungsnummer:	Z50190.001	Blatt: 3		Rev.:	V 1.0
Zeichnungstitel:	Abschlussbericht Kurzfassung			Datum:	05.07.23
Bezeichnung:	Penta HiPer			Geändert:	05.07.23
Halbfabrikats/ Fertigergeräte Nr.:					
Firma:	Glück Industrie-Elektronik GmbH				
Kundenartikel Nr./ Bez.:					
Sachbearbeiter:	MF				
Geprüft:	T.S.				

Abschlussbericht

Kurzfassung

„Forschung und Entwicklung zur Layout-Erstellung und Fertigung der Baugruppen HiPer“

Teilvorhaben innerhalb des Verbundvorhabens
High Performance Vehicle Computer (HPVC)
and Communication System for Autonomous Driving (HiPer)



V1.0

Zeichnungsnummer: Z50190.001; V1.0; Stand 05.07.2023

Alle Rechte vorbehalten. Weitergabe sowie Vervielfältigung dieser Beschreibung, sowie Verwertung und Mitteilung ihres Inhalts ist nicht gestattet, soweit nicht ausdrücklich schriftlich zugestanden. Zuwiderhandlungen verpflichten zu Schadenersatz.

Copyright Glück Industrie-Elektronik GmbH

Im Rahmen des Projekts HiPer hatte die Glück Industrie-Elektronik GmbH verschiedene zentrale Aufgaben zu bewältigen, um den Erfolg des Projekts zu ermöglichen. Dazu zählten Forschung und Entwicklung zum Design der PCB-Layouts für die im Projekt erforderlichen elektronischen Baugruppen, Evaluation der für diese benötigten Fertigungs- und Materialtechnologien, Beschaffung und Lagerhaltung der nötigen Komponenten und schließlich Produktion (Bestückung) der entwickelten Baugruppen. Zur Kompensation von Engpässen bei Projektpartnern übernahm die Glück Industrie-Elektronik GmbH außerdem Teile der Schaltplan - und Systementwicklung, Inbetriebnahme und Test, Entwicklung von einfacher Steuerungssoftware sowie Unterstützung beim Betrieb durch die Projektpartner. Dabei wurden die Forschungsarbeiten jeweils im Rahmen eines Adhoc-Entwicklungsprozesses in iterativen Schritten zur Entwicklung der Baugruppe zum Reifegrad eines Labormusters mit dem Hauptziel der Darstellung der Funktionalität durchgeführt. Darüber hinaus gehende Entwicklungs- und Qualifikationsschritte wurden nicht durchgeführt, um den schnellen Einsatz der Baugruppen bei den Projektpartnern zu ermöglichen.

Im Rahmen des Pfads Communication wurden auf Basis von Vorgaben bzgl. Systemdesign und Anforderungskonzept seitens des Projektpartners Bosch zunächst ein Medienkonverter und später ein Kommunikations-Demonstrator D(C) entwickelt. Der Medienkonverter besitzt als Schlüsselbauteil einen Ethernet-PHY und setzt dessen Ethernet-Verbindung auf seinen SFP-Cage um. Außerdem wurden hier Experimente für ein optisches, EMV-neutrales Steuerungsinterface durchgeführt. Der Kommunikations-Demonstrator besitzt einen Prozessor und eine Vielzahl von Kommunikationsschnittstellen (Ethernet-Switch, Ethernet-PHY, CAN-Treiber), welche über einen neuartigen Bosch-Gerätestecker angeschlossen werden. Er stellt damit die deutlich komplexere Baugruppe dar. Das Schaltplandesign erfolgte jeweils in Zusammenarbeit mit Bosch, wobei teilweise auf Referenzdesigns der Bauteilhersteller zurückgegriffen werden konnte. Für das Design des D(C) wurde zunächst eine Platzanalyse durchgeführt, auf deren Basis der Projektpartner Bosch den Formfaktor definieren und ein Gehäusekonzept erstellen konnte. Danach erfolgte jeweils das Design des PCB durch Glück. Es wurden Referenzdesigns und Design Rules/Guidelines ausgewertet, eine geeignete PCB-Technologie ermittelt und ein Platzierungskonzept entwickelt. Auf Basis dieser Forschungsarbeiten wurden die hausinternen Designrichtlinien erweitert und verbessert, wodurch das gewonnene Know-How auch für andere Projekte nutzbar wird. Danach wurde das eigentliche Layout entworfen. Hauptsächliche Herausforderung bei diesen Baugruppen war das Routing der MDI-Leitungen für die neuartigen High-Speed-Ethernet PHYs. Nach Abschluss der Entwicklung wurden die Baugruppen jeweils zunächst in 3 Stück gebaut. Dabei fielen bei der komplexeren Baugruppe D(C) kleinere Problem und Fehler auf, von denen jedoch nicht zu erwarten war, dass sie die prinzipielle Funktion der Baugruppe beeinträchtigen würden. Die Baugruppen wurden für Inbetriebnahme und Test an den Projektpartner Bosch übergeben.

Für die Baugruppe Medienkonverter war der Entwicklungsprozess seitens von Glück damit beendet, da die Funktion zufriedenstellend war und einer weiteren Verbesserung keine hohe Priorität eingeräumt wurde. Die Baugruppe D(C) war größtenteils ebenfalls zufriedenstellend, es wurde aber dennoch ein weiterer Musterstand entworfen. Dabei wurden einerseits geringfügige Designfehler behoben, andererseits auch geänderte Anforderungen und Spezifikationen seitens von Bosch umgesetzt. Dazu zählten eine Änderung von verschiedenen Schlüsselbauteilen, um Bauteilknappheiten (bedingt durch die gestörten Lieferketten im Rahmen der Corona-Pandemie) zu kompensieren. Außerdem wurden gemeinsam mit dem Projektpartner Bosch Forschungen zum Routing der High Speed Ethernet Leitungen durchgeführt, um den Einfluss unterschiedlicher Routingkonzepte auf die elektromagnetische Verträglichkeit zu evaluieren. Von dem verbesserten Musterstand wurden wiederum 4 Stück gebaut. Dabei fiel auf, dass die Bohrungen für den Gerätestecker zu klein waren, dies wurde jedoch als Fehler des Leiterplattenherstellers identifiziert. Glücklicherweise konnte der Projektpartner Bosch die Gerätestecker nachträglich verlöten und die volle Funktion der Baugruppe verifizieren. Die Forschungen zur Entwicklung der Baugruppe D(C) können daher als vollen Erfolg betrachtet werden.

Im Rahmen der Pfade Thermal/Integration wurden die beiden verbundenen Baugruppen Thermal Demonstrator D(TR) und Acquisition Unit AQU entwickelt. Der Thermal Demonstrator beinhaltet den PowerSiP-Chip als Mockup eines High Performance Fahrzeugcomputers sowie Multiplexer und Verstärker zur Umwandlung von Messsignalen. Die AQU beinhaltet weitere Multiplexer, Verstärker, ADC und verschiedene Elektronik zum Heizen und Betrieb der D(TR) sowie zum Rücklesen der Messsignale an einen PC. Der erste Musterstand der beiden Baugruppen wurde in einem Prozess ähnlich wie bei den Baugruppen des Pfads Communication entwickelt, wobei als Vorarbeit insbesondere Forschungen und Untersuchungen für das Fanout des sehr großen und engen BGA unter Berücksichtigung der elektromagnetischen Verträglichkeit durchgeführt werden mussten.

Für die AQU existierte bereits ein von Bosch entwickeltes Vorserienmodell, dessen Funktion aber unzureichend war. In Kooperation mit Bosch wurde der Schaltplan für die AQU erweitert und verbessert. Erkannte Fehler wurden direkt ausgemerzt, in anderen Fällen wurden Vorkehrungen getroffen um Diagnosemöglichkeiten für die entsprechenden Funktionsgruppen zu verbessern.

Da der zuständige Mitarbeiter bei Bosch die Firma um diese Zeit verließ und ein gleichwertig qualifizierter Ersatz nicht gefunden werden konnte, wurde die weitere Entwicklung der Baugruppen hauptsächlich von Glück verantwortet. Die Layouts stellten dabei nach Lösung des Fanouts keine größeren Herausforderungen mehr und wurden problemlos fertiggestellt. Jedoch traten bei der Produktion einige Probleme auf, zu deren Lösung umfangreiche Forschungsarbeiten und grundsätzliche Technologiebetrachtungen nötig waren.

Die PowerSiP-Chips waren größtenteils bereits mit Kühlkörpern versehen, was beim Löteten zu Problemen mit dem Wärmetransport und fehlerhaften Lötverbindungen führte. Aber auch die PowerSiP ohne Kühlkörper konnten im normalen Reflow-Prozess trotz Versuchen mit unterschiedlichen Konfigurationen nicht zufriedenstellend verlötet werden. Leider war die Anzahl dieser zu begrenzt für umfangreiche Versuche weshalb die Forschungsarbeiten zum Teil auf die theoretische Phase beschränkt blieben. Es wurden einige D(TR) an den Projektpartner Boschman versandt, um dessen Undermoulding-Prozess zu testen und die Lötverbindungen mit besseren diagnostischen Möglichkeiten (Röntgenbildaufnahme, mechanisches Trennen von Chip und PCB) zu untersuchen. Dabei wurden Pillow Failures bei vielen Balls entdeckt, was auf unzureichende Hitze oder unzureichende Lötpaste hinweist. Auch eine ungeeignete Konfiguration von Kupferpad und Lötstopöffnungen auf BGA und PowerSiP-Interposer wurden als Ursachen in Betracht gezogen. Ein sinnvoller Test des D(TR) im ersten Musterstand war daher nicht möglich. Die Produktion der AQU verlief problemlos. Inbetriebnahme und Test wurden in Kooperation zwischen Glück und Bosch durchgeführt, soweit ohne D(TR) möglich. Dabei wurden einige geringfügige, aber keine gravierenden Fehler gefunden.

Bei der Entwicklung des zweiten Musterstands ergaben sich durch Anforderungsänderungen seitens der Projektpartner einige Vereinfachungen, da Funktionsgruppen auf der PowerSiP nicht umgesetzt werden konnten. Die entsprechende Peripherie auf D(TR) bzw. AQU wurde dadurch ebenfalls unnötig. Der frei gewordene Platz auf dem D(TR), besonders in den Lagen direkt unter der PowerSiP, wurde verwendet um die Anbindung der einzelnen Sensoren auf dem D(TR) zu verbessern und die EMV nochmals zu erhöhen. Des Weiteren wurde die Belegung der Verbindungskabel zwischen D(TR) und AQU verändert, einerseits ebenfalls wegen der EMV und andererseits um den Widerstand im Heizleistungspfad zu verringern. Dies erforderte natürlich eine entsprechende Änderung bei der AQU. Ähnlich wie bei der Baugruppe D(C) mussten einige Bauteile ersetzt werden, da sie im Rahmen der allgemeinen Bauteilknappheit nicht mehr verfügbar waren. Im zweiten Musterstand wurden die restlichen PowerSiP verbaut, jedoch konnte keine substantielle Verbesserung des Lötprozesses erzielt werden. Es wurden auch einige PowerSiP mit Low Melting Solder verlötet, sowohl bei Glück als auch beim Projektpartner Interflux. Diese zeigten etwa ähnliches Verhalten.

Im dritten Musterstand des D(TR) wurden kleinere Verbesserungen an den Messsignal-Verstärkern vorgenommen. Es konnten neue PowerSiP mit verbesserter Geometrie auf dem Interposer verbaut werden, außerdem wurden die Pads auf dem PCB modifiziert. Es wurden Versuche mit unterschiedlichen Lötprofilen sowie mit Dampfphasenlötten durchgeführt, wobei die Dampfphase die besten Ergebnisse erzielte. Die Lötverbindungen waren nicht perfekt, und es wären noch weitere Forschungsarbeiten wünschenswert um den Prozess zu optimieren, aber die Baugruppen waren brauchbar und konnten gemeinsam mit der AQU erfolgreich in Betrieb genommen werden. Es wurde auch ein dritter Musterstand der AQU entwickelt, in dem einige Fehler behoben

werden konnten. Insgesamt wurden von den jeweils dritten Musterständen 87 D(TR) und 25 AQU gebaut und an den Projektpartner Bosch übergeben.

Im Rahmen der Inbetriebnahme des Systems aus D(TR) und AQU war es nötig, Steuerungssoftware für einen Arduino-Mikrocontroller zu entwickeln und flexibel zu modifizieren. Dies wurde zunächst von Bosch durchgeführt, dann aber von der Glück Industrie-Elektronik gemeinsam mit der Inbetriebnahme übernommen. Die entwickelte Software wurde dann auch beim Betrieb der Baugruppen bei Bosch verwendet. Die Glück Industrie-Elektronik stellte außerdem weitreichende Hilfestellungen, um den reibungslosen Betrieb der Baugruppen im Rahmen der Forschungsarbeiten bei der Firma Bosch zu ermöglichen.

Die Forschungsarbeiten der Glück Industrie-Elektronik GmbH im Rahmen des Projekts HiPer ergaben wertvolle Erkenntnisse sowohl zur Entwicklung hoch komplexer Schaltungsdesigns, als auch zu möglichen Herausforderungen bei der praktischen Realisierung und Fertigung der Baugruppen. Dadurch konnten einerseits die Projektpartner mit den für ihre eigenen Forschungsarbeiten nötigen Baugruppen beliefert werden, andererseits institutionelles Know-How und Erfahrung für die Glück Industrie-Elektronik GmbH gewonnen werden, welches nun in anderen wissenschaftlichen und kommerziellen Projekten einsetzbar ist.